

Semiconductor device with reduced current consumption in standby state

Patent Number: ☐ [US2001045579](#)
Publication date: 2001-11-29
Inventor(s): HIDAKA HIDETO (JP); KATO HIROSHI (JP); OOISHI TSUKASA (JP); TSUJI TAKAHARU (JP); ISHIKAWA MASATOSHI (JP)
Applicant(s): MITSUBISHI ELECTRIC CORP (US)
Requested Patent: ☐ [JP2001338489](#)
Application Number: US20010778062 20010207
Priority Number(s): JP20000152651 20000524
IPC Classification: H01L27/148
EC Classification:
Equivalents: ☐ [DE10110157](#), ☐ [US6414894](#)

Abstract

A logic portion outputs to a DRAM portion a start address and an end address indicating a memory region where data to be stored is present prior to transition to power down mode having reduced current consumption. In the power down mode, a refresh control unit holds the start address and the end address and controls refresh to be carried out for data only in a region requiring refresh. The power supply of the logic portion is set in off state in the power down mode and accordingly a semiconductor device can consume reduced current while holding data

Data supplied from the esp@cenet database - I2



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-338489

(P 2 0 0 1 - 3 3 8 4 8 9 A)

(43)公開日 平成13年12月7日(2001.12.7)

(51)Int.Cl.⁷

識別記号

F I

テーマコード (参考)

G11C 11/403

H03K 19/00

A 5B024

11/407

19/096

B 5J056

11/406

G11C 11/34

363

M

H03K 19/00

354

F

19/096

362

S

審査請求 未請求 請求項の数17 O L (全32頁) 最終頁に続く

(21)出願番号

特願2000-152651(P 2000-152651)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日

平成12年5月24日(2000.5.24)

(72)発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 辻 高晴

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

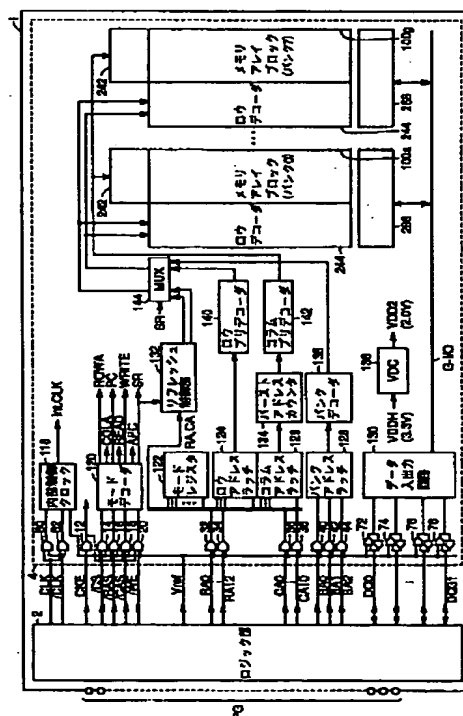
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 データを保持したまま、待機時において消費電流を低減させることが可能なD R A M部を含む半導体装置を提供する。

【解決手段】 ロジック部2は、消費電流が低減されるパワーダウンモードに移行する前に保存しておくべきデータが存在するメモリ領域を示すスタートアドレスおよびエンドアドレスをD R A M部4に出力する。パワーダウンモードにおいて、リフレッシュ制御部132はスタートアドレスおよびエンドアドレスを保持し、リフレッシュが必要な領域に限定してデータのリフレッシュが実施されるように制御を行なう。ロジック部の電源は、パワーダウンモードにおいてオフ状態とされ半導体装置1はデータを保持したまま消費電流を抑えることが可能となる。



【特許請求の範囲】

【請求項1】 通常モードでは、データ授受を行ない、パワーダウンモードでは消費電流が低減され保持データのリフレッシュを行なう半導体装置であって、行および列状に配置される複数のメモリセルを含むメモリアレイと、

前記通常モードにおいて、前記メモリセルに格納するデータを入出力し、前記パワーダウンモードにおいては、消費電流を低減するため動作を停止する第1の周辺回路と、

前記パワーダウンモードにおいて、前記メモリセルに保持されたデータをリフレッシュする制御を行なう第2の周辺回路とを備える、半導体装置。

【請求項2】 前記第2の周辺回路は、前記パワーダウンモードにおいて、リフレッシュを開始するアドレスを示すスタートアドレスおよびリフレッシュを終了するアドレスを示すエンドアドレスを保持して、前記メモリアレイの一部の領域をリフレッシュする制御を行なうリフレッシュ制御部を含む、請求項1に記載の半導体装置。

【請求項3】 前記リフレッシュ制御部は、リフレッシュ時の前記メモリアレイの行の活性化の基準クロックを発生するタイマ回路と、前記スタートアドレスと前記エンドアドレスの間のリフレッシュを行なうアドレスを出力するアドレスカウンタを有し、前記アドレスカウンタは、前記スタートアドレスを保持する第1のラッチ回路と、前記エンドアドレスを保持する第2のラッチ回路と、前記基準クロックに応じてカウントを行なうカウンタと、

前記カウンタの出力と前記第1のラッチ回路の出力とを比較する第1の比較回路と、前記カウンタの出力と前記第2のラッチ回路の出力とを比較する第2の比較回路と、前記第1、第2の比較回路の出力を受けて、前記カウンタの出力が前記スタートアドレス以上で、かつ、前記エンドアドレス以下であることを検出するゲート回路とを有し、

前記リフレッシュ制御部は、前記ゲート回路の出力に応じて活性化し、前記基準クロックに応じて前記メモリアレイの行選択制御のタイミング信号を出力する制御用遅延回路をさらに有する、請求項2に記載の半導体装置。

【請求項4】 前記リフレッシュ制御部は、リフレッシュ時の前記メモリアレイの行の活性化の基準クロックを発生するタイマ回路と、前記スタートアドレスと前記エンドアドレスの間のリフレッシュを行なうアドレスを出力するアドレスカウンタを有し、前記アドレスカウンタは、前記スタートアドレスを保持する第1のラッチ回路と、

前記エンドアドレスを保持する第2のラッチ回路と、前記第1、第2のラッチ回路の出力を受けて、前記メモリアレイの領域のうち前記スタートアドレスと前記エンドアドレスとで示される領域の割合に応じて前記基準クロックの周期を前記タイマ回路に出力する検出回路と、前記第1のラッチ回路の出力を受けて、前記スタートアドレスを起点として前記基準クロックに応じてカウントを行ないリフレッシュアドレスを出力するカウンタと、前記カウンタの出力と前記第2のラッチ回路の出力とを比較してリフレッシュの終了を検出する比較回路とを有する、請求項2に記載の半導体装置。

【請求項5】 第1の電源電位を受ける第1の電源端子と、前記第1の電源電位より高い第2の電源電位を受ける第2の電源端子と、前記第1の電源端子と前記第1の周辺回路とを接続する第1の電源配線と、前記第2の電源端子に接続され前記第2の電源電位より低い第3の電源電位を出力する電圧降下回路と、前記第1の電源電位および前記第3の電源電位を受けて、いずれか一方を選択的に出力する電源選択回路と、前記電源選択回路の出力を前記第2の周辺回路に供給する第2の電源配線とをさらに備える、請求項1に記載の半導体装置。

【請求項6】 前記電源選択回路は、前記第1の電源配線と前記第2の電源配線との間に接続され、前記通常モードにおいて活性化される、第1のMOSトランジスタと、前記電圧降下回路と前記第2の電源配線との間に接続され、前記パワーダウンモードにおいて活性化される、第2のMOSトランジスタとを有する、請求項5に記載の半導体装置。

【請求項7】 前記電源選択回路は、前記パワーダウンモード時に、前記第2のMOSトランジスタのゲートに前記電圧降下回路の出力電位と等しい活性化電位を供給する電圧変換回路をさらに有する、請求項6に記載の半導体装置。

【請求項8】 前記第1の電源配線から電源電位の供給を受け、外部からの指示に応じて所定の処理を行なうロジック部をさらに備え、

前記第1の周辺回路は、前記ロジック部と前記メモリアレイとの間のデータ授受を行なうためのデータ入出力制御部を含み、前記第2の周辺回路は、前記パワーダウンモードにおいて、前記メモリアレイに対してセルフリフレッシュのための制御を行なうセルフリフレッシュ制御部を含み、前記第1の電源端子は、前記パワーダウンモードにおいて非活性化電位を受ける、請求項5に記載の半導体装置。

【請求項 9】 前記第 1 の周辺回路は、前記ロジック部からクロック信号を受けてメモリアレイにデータ授受を行なうための内部クロック信号を発生するクロック制御部と、前記ロジック部からの指示を受けて列系のコマンドを発生する列系コマンド制御部と、前記ロジック部から列アドレスを受けて前記メモリアレイの列選択動作を行なう列アドレス制御部とをさらに含む、請求項 8 に記載の半導体装置。

【請求項 10】 前記メモリアレイは、独立して動作可能な複数のバンクを含み、前記第 1 の周辺回路は、前記ロジック部から行アドレスを受けて前記メモリアレイの行選択動作を行なう行アドレス制御部と、前記ロジック部からバンクアドレスを受けて前記複数のバンクのうちいずれかの選択動作を行なうバンクアドレス制御部とをさらに含む、請求項 9 に記載の半導体装置。

【請求項 11】 前記メモリアレイは、前記メモリセルに書込データを伝達する書込データ線と、前記第 1 の電源配線から電源電位を受け、前記通常モードにおいて前記データ入出力制御部からデータを受けて保持するラッチ回路と、前記第 2 の電源配線から電源電位を受け、前記通常モードにおいては前記ラッチ回路の出力を前記書込データ線に伝達し、前記パワーダウンモードにおいては前記書込データ線の電位固定をするゲート回路を含む、請求項 8 に記載の半導体装置。

【請求項 12】 前記メモリアレイは、前記メモリセルからデータを読出すための読出データ線と、前記第 1 の電源配線から電源電位を受け、前記通常モードにおいて前記読出データ線の電位変化を増幅して前記入出力制御部に伝達する読出アンプ回路と、前記パワーダウンモードにおいて前記読出データ線を前記第 2 の電源配線に結合するスイッチ回路とを含む、請求項 8 に記載の半導体装置。

【請求項 13】 前記セルフリフレッシュ制御部は、前記パワーダウンモードにおいてリフレッシュアドレスを出力し、前記第 2 の周辺回路は、通常モード時に前記ロジック部から与えられる通常アドレスと前記リフレッシュアドレスとを受けるアドレス合成部をさらに含み、前記アドレス合成部は、内部ノードと接地ノードとの間に直列に接続されそれぞれゲートに前記通常アドレスのアドレスビットのうちのいずれかを受ける第 1 の MOS トランジスタ群と、前記内部ノードと前記接地ノードとの間に直列に接続されそれぞれゲートに前記リフレッシュアドレスのアドレ

スビットのうちのいずれかを受ける第 2 の MOS トランジスタ群と、

前記第 2 の電源配線と前記内部ノードとの間に接続され前記内部ノードのプリチャージを行なうスイッチ回路とを有する、請求項 8 に記載の半導体装置。

【請求項 14】 前記第 2 の MOS トランジスタ群は、前記第 1 の MOS トランジスタ群より大きいしきい値電圧を有する、請求項 13 に記載の半導体装置。

【請求項 15】 前記セルフリフレッシュ制御部は、セルフリフレッシュ時に第 1 のコマンド信号を出力し、前記第 2 の周辺回路は、通常モード時に前記ロジック部から与えられる第 2 のコマンド信号と前記第 1 のコマンド信号とを受けるコマンド合成部をさらに含み、前記コマンド合成部は、前記第 2 の電源配線と第 1 の内部ノードとの間に接続されゲートが第 2 の内部ノードに接続される第 1 の P チャネル MOS トランジスタと、前記第 2 の電源配線と前記第 2 の内部ノードとの間に接続されゲートが前記第 1 の内部ノードに接続される第 2 の P チャネル MOS トランジスタと、前記第 1 のコマンド信号をゲートに受け前記第 2 の内部ノードと接地ノードとの間に接続される第 1 の N チャネル MOS トランジスタと、前記セルフリフレッシュ時に導通し、前記第 1 のコマンド信号を前記第 1 の内部ノードに伝達する第 2 の N チャネル MOS トランジスタと、前記第 2 のコマンド信号をゲートに受け前記第 2 の内部ノードと前記接地ノードとの間に接続される第 3 の N チャネル MOS トランジスタと、前記通常モード時に導通し、前記第 2 のコマンド信号を前記第 1 の内部ノードに伝達する第 4 の N チャネル MOS トランジスタとを有する、請求項 8 に記載の半導体装置。

【請求項 16】 前記第 1、第 2 の N チャネル MOS トランジスタは、前記第 3、第 4 の N チャネル MOS トランジスタより大きいしきい値電圧を有する、請求項 15 に記載の半導体装置。

【請求項 17】 前記ロジック部は、前記パワーダウンモードに移行することを示すモード切換信号を出力し、前記第 2 の周辺回路は、前記モード切換信号に応じて前記パワーダウンモードであることを示すモード情報を保持する保持回路をさらに含み、前記保持回路は、前記パワーダウンモードから前記通常モードに復帰する際に、前記ロジック部からリセット信号を受け、かつ、前記ロジック部から所定回数のコマンド信号を受けると前記モード情報をリセットする、請求項 8 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関

し、より特定的には、リフレッシュ動作が必要なダイナミック型の半導体記憶装置を内蔵する半導体装置における待機時の消費電流削減に関する。

【0002】

【従来の技術】近年、情報携帯端末装置等の普及に伴い、半導体記憶装置においても小型化、低消費電力化が要求されている。これに伴って、半導体記憶装置も、マイクロコンピュータや大規模なロジック回路とともにワンチップに集積化されて用いられる場合が増えてきている。このような大規模な種々の回路を搭載し、システムオンチップを実現する集積回路をシステムLSIと呼ぶことにする。

【0003】システムLSIにおける消費電源電流の削減について説明する前に、まず、半導体記憶装置の従来構成を説明する。

【0004】図35は、従来の半導体記憶装置1000の構成を示す概略ブロック図である。

【0005】図35を参照して、半導体記憶装置1000は、外部から与えられる相補なクロック信号ext. CLKおよびext. /CLKを受ける外部クロック信号入力端子1116と、外部クロック信号入力端子1116に与えられたクロック信号をバッファ処理するクロック入力バッファ1084および1085と、クロック入力バッファ1084および1085の出力を受けて、内部クロック信号int. CLKを生成する内部制御クロック信号生成回路1118と、外部制御信号入力端子1110を介して与えられた外部制御信号を、内部クロック信号int. CLKに応じて動作する入力バッファ1012~1020を介して受けるモードデコーダ1120とを備える。

【0006】外部制御信号入力端子1110には、クロックイネーブル信号CKEと、チップセレクト信号/CSと、行アドレスストローブ信号/RASと、列アドレスストローブ信号/CASと、書込制御信号/WEとが与えられる。

【0007】クロックイネーブル信号CKEは、チップへの制御信号の入力を可能とすることを指示する信号であり、この信号が活性化されないと、制御信号の入力が許可されず、半導体記憶装置1000は外部からの信号入力を受付けない。

【0008】チップセレクト信号/CSは、コマンド信号が入力されているか否かを識別するための信号であり、この信号が活性化している状態(Lレベル)において、クロック信号の立上がりエッジにおいて、他の制御信号のレベルの組合せに応じてコマンドの識別が行なわれる。

【0009】モードデコーダ1120は、これら外部制御信号に応じて、半導体記憶装置1000の内部回路の動作を制御するための内部制御信号を出力する。モードデコーダ1120は、たとえば内部制御信号として、信

号ROWA、信号COLA、信号ACT、信号PC、信号READ、信号WRITE、信号APCおよび信号SRを出力する。

【0010】信号ROWAは、ロウ系のアクセスが行なわれることを示す信号であり、信号COLAは、コラム系アクセスが行なわれることを示す信号であり、信号ACTはワード線の活性化を指示する信号である。

【0011】信号PCはプリチャージ動作を指示して、行系の回路動作の終了を指示する信号である。信号READは、列系の回路に対して読出動作を指示するための信号であり、信号WRITEは列系の回路に対して書込動作を指示するための信号である。

【0012】信号APCは、オートプリチャージ動作を指示する信号であり、オートプリチャージ動作が指定されると、バーストサイクルの終了とともに、プリチャージ動作が自動的に開始される。信号SRはセルフリフレッシュ動作を指示するための信号であり、セルフリフレッシュ動作が開始されると、セルフリフレッシュタイマが動作し、一定時間が経過すると、ワード線が活性化されリフレッシュ動作が開始される。

【0013】半導体記憶装置1000は、さらに、セルフリフレッシュモードが信号SRにより指定されると動作を開始し、一定時間が経過するとワード線の活性化、すなわちリフレッシュ動作の開始を指示するためのセルフリフレッシュタイマ1054と、セルフリフレッシュタイマ1054からの指示に従って、リフレッシュアドレスを発生するためのリフレッシュアドレスカウンタ1056とを含む。

【0014】半導体記憶装置は、さらに、入力信号のHレベルまたはLレベルの判定の基準となる信号VREFを受ける参照電位入力端子1022と、アドレス信号入力端子1112を介して与えられるアドレス信号と、上述した外部制御信号の組合せに応じて、所定の動作モードに対する情報、たとえばバースト長に関する情報を保持するモードレジスタ1046と、内部クロック信号int. CLK2に応じて動作するアドレス信号入力バッファ1032~1038を介してアドレス信号を受けて、行アドレスが入力されるタイミングにおいて、入力された行アドレスを保持するロウアドレスラッチ1250と、アドレス信号A0~A12を受けて列アドレスが入力されるタイミングにおいてこの列アドレスを保持するコラムアドレスラッチ1550と、リフレッシュアドレスカウンタ1056からの出力とロウアドレスラッチ1250からの出力とを受けて、通常動作においてはロウアドレスラッチ1250からの出力を選択し、セルフリフレッシュ動作中はリフレッシュアドレスカウンタ1056からの出力を選択して出力するマルチプレクサ1058と、マルチプレクサ1058からの出力を受けて行アドレスをブリデコードするロウブリデコーダ1136とを含む。

【0015】半導体記憶装置1000は、さらに、コラムアドレスラッチ1550に保持された列アドレスを基準としてモードレジスタ1046からのバースト長のデータに応じて内部列アドレスを生成するバーストアドレスカウンタ1060と、バーストアドレスカウンタ1060の出力を受けて、対応する列アドレスのプリデコードを行なうコラムプリデコーダ1134と、内部クロック信号int. CLKに応じて動作する入力バッファ1040~1044を介してアドレス入力端子に与えられるバンクアドレスBA0~BA2を受け、指定されたバンクアドレス値を保持するバンクアドレスラッチ1052と、バンクアドレスラッチ1052の出力を受けて、バンクアドレスをデコードするバンクデコーダ1122とを備える。

【0016】なお、アドレス信号入力端子1112に与えられるアドレス信号は、モードレジスタへの動作モード情報の書込を行なう際に、その何ビットかの組合せによって、モードレジスタ中にデータを書込むためにも用いられる。たとえば、バースト長BLや、CASレイテンシCLの値などの設定が、アドレス信号の所定のビット数の組合せにより指定される。

【0017】また、バンクアドレス信号BA0~BA2は、ロウ系のアクセス時およびコラム系のアクセス時のそれぞれにおいてアクセスバンクを指示する。すなわち、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいて、アドレス信号入力バッファ1040~1044に与えられたバンクアドレス信号BA0~BA2は、バンクアドレスラッチ1052に取込まれた後、バンクデコーダ1122によりデコードされ、そして、各メモリアレイブロック（バンク）に伝達される。

【0018】半導体記憶装置1000は、さらに、それぞれが読出／書込動作を独立に行なうことが可能な単位であるバンク0~バンク7として動作するメモリアレイブロック1000a~1000gと、バンクデコーダ1122からの出力およびロウプリデコーダ1136からの出力に応じて、対応するバンク中の行（ワード線）を選択するためのロウデコーダ1244と、コラムプリデコーダ1134からの出力に応じて対応するバンク中の列（ビット線対）を選択するためのコラムデコーダ1242と、読出動作においては選択されたバンク中の選択されたメモリセルから読出されたデータをグローバルI/OバスG-I/Oに与え、書込動作においては、バスG-I/Oにより伝達された書込データを対応するバンクに与えるI/Oポート1266と、書込動作において、外部から与えられた書込データを保持し、バスG-I/Oに与え、読出動作において、バスG-I/Oにより伝達された読出データを保持するデータ入出力回路1086と、データ入出力回路1086とデータ入出力端子1070との間で入出力データDQ0~DQ31のやり取りを行なうための双方向入出力バッファ1072~

1082とを含む。

【0019】双方向入出力バッファ1072~1082は、モードレジスタ1046に保持された動作モードデータに応じて、内部クロック信号に同期して動作する。

【0020】図36は、従来のシステムLSIに外部から供給される電源電位について説明をするための概念図である。

【0021】図35を参照して、システムLSIは、チップCHにロジック部LGとDRAM部MEMとを搭載している。DRAM部には、昇圧電位VPPを発生する電源発生回路VGEN1と、基板電位VBBを発生する電源発生回路VGEN2とを含んでいる。

【0022】ロジック部LGには、外部から端子T50を介して3.3Vの電源電位LVDDHが与えられ、端子T51を介して1.5Vの電位LVDDLが与えられる。一方、DRAM部MEMには、端子T52を介して外部から3.3Vの電源電位DVDDHが与えられ、端子T53を介して1.5Vの電源電位DVDDLが与えられる。

【0023】

【発明が解決しようとする課題】このようなシステムLSIにおいては、DRAM部MEMのメモリセルに蓄積したデータを保持したまま待機状態において消費電源電流を削減するために、ロジック部LGに供給される電源電位LVDDH、LVDDLを0Vにして電源電流の供給を停止してロジック部LGにおいて消費される待機時の消費電流を削減することがしばしば行なわれている。

【0024】しかしながら、携帯端末装置等においては、バッテリーによる動作は、なるべく長時間可能であることが好ましい。そのためには、システムLSIにおいてできる限り消費電力を削減する必要がある。

【0025】システムLSIが内蔵しているDRAM部では、メモリセルに蓄積したデータを保持しておくために、待機時においてもリフレッシュ動作をする必要がある。リフレッシュ動作の実行は、一定期間のインターバルをあけて1サイクルごとにリフレッシュを実施する方法と、すべてのメモリセルを連続的にリフレッシュを行ない、この連続したリフレッシュを一定時間ごとに行なう方法とがある。いずれの方法においても、リフレッシュ動作を実施している期間は、DRAM部における回路動作が行なわれ、トランジスタの活性化に伴うリーク電流が発生する。動作の高速化および電源電位の低電圧化に伴い使用するMOSトランジスタのしきい値電圧を小さくするほど、動作時および待機時のリーク電流が大きくなり、全体の消費電流が増大されてしまう。

【0026】図37は、図36に示したDRAM部MEMの周辺回路に供給される電源電位を説明するための概念図である。

【0027】図36、37を参照して、DRAM部MEMに供給される電源電位DVDDLは、クロック制御部

1402, ロウ系コマンド制御部1404, コラム系コマンド制御部1406, ロウ系アドレス制御部1408, バンクアドレス制御部1410, コラム系アドレス制御部1412, 入出力データ系制御部1414およびセルフリフレッシュ系制御部1416に供給される。図36に示したようなメモリアレイ部以外の周辺回路においても、従来においては外部から電源電位 V_{DDL} が供給されていたため、リフレッシュ動作に必要な回路、たとえば入出力データ系制御部1414等においては、待機時において無視できないリーク電流が発生していた。

【0028】本発明の目的は、待機時においてDRAM部に蓄積した情報を保持したまま消費電源電流を小さく抑えることができるパワーダウンモードを備えた半導体記憶装置を提供することである。

【0029】

【課題を解決するための手段】請求項1に記載の半導体装置は、通常モードでは、データ授受を行ない、パワーダウンモードでは消費電流が低減され保持データのリフレッシュを行なう半導体装置であって、行および列状に配置される複数のメモリセルを含むメモリアレイと、通常モードにおいて、メモリセルに格納するデータを入出力し、パワーダウンモードにおいては、消費電流を低減するため動作を停止する第1の周辺回路と、パワーダウンモードにおいて、メモリセルに保持されたデータをリフレッシュする制御を行なう第2の周辺回路とを備える。

【0030】請求項2に記載の半導体装置は、請求項1に記載の半導体装置の構成に加えて、第2の周辺回路は、パワーダウンモードにおいて、リフレッシュを開始するアドレスを示すスタートアドレスおよびリフレッシュを終了するアドレスを示すエンドアドレスを保持して、メモリアレイの一部の領域をリフレッシュする制御を行なうリフレッシュ制御部を含む。

【0031】請求項3に記載の半導体装置は、請求項2に記載の半導体装置の構成に加えて、リフレッシュ制御部は、リフレッシュ時のメモリアレイの行の活性化の基準クロックを発生するタイマ回路と、スタートアドレスとエンドアドレスの間のリフレッシュを行なうアドレスを出力するアドレスカウンタを有し、アドレスカウンタは、スタートアドレスを保持する第1のラッチ回路と、エンドアドレスを保持する第2のラッチ回路と、基準クロックに応じてカウントを行なうカウンタと、カウンタの出力と第1のラッチ回路の出力とを比較する第1の比較回路と、カウンタの出力と第2のラッチ回路の出力とを比較する第2の比較回路と、第1、第2の比較回路の出力を受けて、カウンタの出力がスタートアドレス以上で、かつ、エンドアドレス以下であることを検出するゲート回路とを有し、リフレッシュ制御部は、ゲート回路の出力に応じて活性化し、基準クロックに応じてメモリ

アレイの行選択制御のタイミング信号を出力する制御用遅延回路をさらに有する。

【0032】請求項4に記載の半導体装置は、請求項2に記載の半導体装置の構成に加えて、リフレッシュ制御部は、リフレッシュ時のメモリアレイの行の活性化の基準クロックを発生するタイマ回路と、スタートアドレスとエンドアドレスの間のリフレッシュを行なうアドレスを出力するアドレスカウンタを有し、アドレスカウンタは、スタートアドレスを保持する第1のラッチ回路と、エンドアドレスを保持する第2のラッチ回路と、第1、第2のラッチ回路の出力を受けて、メモリアレイの領域のうちスタートアドレスとエンドアドレスとで示される領域の割合に応じて基準クロックの周期をタイマ回路に出力する検出回路と、第1のラッチ回路の出力を受けて、スタートアドレスを起点として基準クロックに応じてカウントを行ないリフレッシュアドレスを出力するカウンタと、カウンタの出力と第2のラッチ回路の出力とを比較してリフレッシュの終了を検出する比較回路とを有する。

【0033】請求項5に記載の半導体装置は、請求項1に記載の半導体装置の構成に加えて、第1の電源電位を受ける第1の電源端子と、第1の電源電位より高い第2の電源電位を受ける第2の電源端子と、第1の電源端子と第1の周辺回路とを接続する第1の電源配線と、第2の電源端子に接続され第2の電源電位より低い第3の電源電位を出力する電圧降下回路と、第1の電源電位および第3の電源電位を受けて、いずれか一方を選択的に出力する電源選択回路と、電源選択回路の出力を第2の周辺回路に供給する第2の電源配線とをさらに備える。

【0034】請求項6に記載の半導体装置は、請求項5に記載の半導体装置の構成に加えて、電源選択回路は、第1の電源配線と第2の電源配線との間に接続され、通常モードにおいて活性化される、第1のMOSトランジスタと、電圧降下回路と第2の電源配線との間に接続され、パワーダウンモードにおいて活性化される、第2のMOSトランジスタとを有する。

【0035】請求項7に記載の半導体装置は、請求項6に記載の半導体装置の構成に加えて、電源選択回路は、パワーダウンモード時に、第2のMOSトランジスタのゲートに電圧降下回路の出力電位と等しい活性化電位を供給する電圧変換回路をさらに有する。

【0036】請求項8に記載の半導体装置は、請求項5に記載の半導体装置の構成に加えて、第1の電源配線から電源電位の供給を受け、外部からの指示に応じて所定の処理を行なうロジック部をさらに備え、第1の周辺回路は、ロジック部とメモリアレイとの間のデータ授受を行なうためのデータ入出力制御部を含み、第2の周辺回路は、パワーダウンモードにおいて、メモリアレイに対してセルフリフレッシュのための制御を行なうセルフリフレッシュ制御部を含み、第1の電源端子は、パワーダ

ウンモードにおいて非活性な電位を受ける。

【0037】請求項9に記載の半導体装置は、請求項8に記載の半導体装置の構成に加えて、第1の周辺回路は、ロジック部からクロック信号を受けてメモリアレイにデータ授受を行なうための内部クロック信号を発生するクロック制御部と、ロジック部からの指示を受けて列系のコマンドを発生する列系コマンド制御部と、ロジック部から列アドレスを受けてメモリアレイの列選択動作を行なう列アドレス制御部とをさらに含む。

【0038】請求項10に記載の半導体装置は、請求項9に記載の半導体装置の構成に加えて、メモリアレイは、独立して動作可能な複数のバンクを含み、第1の周辺回路は、ロジック部から行アドレスを受けてメモリアレイの行選択動作を行なう行アドレス制御部と、ロジック部からバンクアドレスを受けて複数のバンクのうちいずれかの選択動作を行なうバンクアドレス制御部とをさらに含む。

【0039】請求項11に記載の半導体装置は、請求項8に記載の半導体装置の構成に加えて、メモリアレイは、メモリセルに書込データを伝達する書込データ線と、第1の電源配線から電源電位を受け、通常モードにおいてデータ入出力制御部からデータを受けて保持するラッチ回路と、第2の電源配線から電源電位を受け、通常モードにおいてはラッチ回路の出力を書込データ線に伝達し、パワーダウンモードにおいては書込データ線の電位固定をするゲート回路を含む。

【0040】請求項12に記載の半導体装置は、請求項8に記載の半導体装置の構成に加えて、メモリアレイは、メモリセルからデータを読出すための読出データ線と、第1の電源配線から電源電位を受け、通常モードにおいて読出データ線の電位変化を増幅して入出力制御部に伝達する読出アンプ回路と、パワーダウンモードにおいて読出データ線を第2の電源配線に結合するスイッチ回路とを含む。

【0041】請求項13に記載の半導体装置は、請求項8に記載の半導体装置の構成に加えて、セルフリフレッシュ制御部は、パワーダウンモードにおいてリフレッシュアドレスを出力し、第2の周辺回路は、通常モード時にロジック部から与えられる通常アドレスとリフレッシュアドレスとを受けるアドレス合成部をさらに含み、アドレス合成部は、内部ノードと接地ノードとの間に直列に接続されそれぞれゲートに通常アドレスのアドレスビットのうちのいずれかを受ける第1のMOSトランジスタ群と、内部ノードと接地ノードとの間に直列に接続されそれぞれゲートにリフレッシュアドレスのアドレスビットのうちのいずれかを受ける第2のMOSトランジスタ群と、第2の電源配線と内部ノードとの間に接続され内部ノードのプリチャージを行なうスイッチ回路とを有する。

【0042】請求項14に記載の半導体装置は、請求項

13に記載の半導体装置の構成に加えて、第2のMOSトランジスタ群は、第1のMOSトランジスタ群より大きいしきい値電圧を有する。

【0043】請求項15に記載の半導体装置は、請求項8に記載の半導体装置の構成に加えて、セルフリフレッシュ制御部は、セルフリフレッシュ時に第1のコマンド信号を出力し、第2の周辺回路は、通常モード時にロジック部から与えられる第2のコマンド信号と第1のコマンド信号とを受けるコマンド合成部をさらに含み、コマンド合成部は、第2の電源配線と第1の内部ノードとの間に接続されゲートが第2の内部ノードに接続される第1のPチャネルMOSトランジスタと、第2の電源配線と第2の内部ノードとの間に接続されゲートが第1の内部ノードに接続される第2のPチャネルMOSトランジスタと、第1のコマンド信号をゲートに受け第2の内部ノードと接地ノードとの間に接続される第1のNチャネルMOSトランジスタと、セルフリフレッシュ時に導通し、第1のコマンド信号を第1の内部ノードに伝達する第2のNチャネルMOSトランジスタと、第2のコマンド信号をゲートに受け第2の内部ノードと接地ノードとの間に接続される第3のNチャネルMOSトランジスタと、通常モード時に導通し、第2のコマンド信号を第1の内部ノードに伝達する第4のNチャネルMOSトランジスタとを有する。

【0044】請求項16に記載の半導体装置は、請求項15に記載の半導体装置の構成に加えて、第1、第2のNチャネルMOSトランジスタは、第3、第4のNチャネルMOSトランジスタより大きいしきい値電圧を有する。

【0045】請求項17に記載の半導体装置は、請求項8に記載の半導体装置の構成に加えて、ロジック部は、パワーダウンモードに移行することを示すモード切換信号を出力し、第2の周辺回路は、モード切換信号に応じてパワーダウンモードであることを示すモード情報を保持する保持回路をさらに含み、保持回路は、パワーダウンモードから通常モードに復帰する際に、ロジック部からリセット信号を受け、かつ、ロジック部から所定回数のコマンド信号を受けるとモード情報をリセットする。

【0046】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。

【0047】【実施の形態1】図1は、本発明の実施の形態1の半導体装置1の構成を示す概略ブロック図である。

【0048】図1を参照して、半導体装置1は、外部ピン端子群PGに結合され、指令された処理を実行する大規模なロジック部2と、ロジック部2に内部配線を介して結合され、ロジック部2が必要とするデータを格納するDRAM部4とを含む。ロジック部2は、クロック信号CLK、/CLK、制御信号CKE、/CS、/RA

S, /CAS, /WEと、データ取込みのための参照電位V_{ref}と、行アドレス信号RA0~RA12と、列アドレス信号CA0~CA10と、バンクアドレス信号BA0~BA2とをDRAM部4に対して出力する。そして、ロジック部2とDRAM部4とはデータ信号DQ0~DQ31をやり取りする。

【0049】ロジック部2とDRAM部4とを1チップに集積化した場合には、授受するための信号配線の本数を個別のチップにしていた場合よりも増やすことが容易であるので、図1に示した構成においては、いわゆるアドレスピンマルチプレクスは行なわれておらず、ロジック部から列アドレスと行アドレスは別々の配線でDRAM部に伝達される構成となっている。

【0050】DRAM部4は、ロジック部2から与えられる相補なクロック信号CLKおよび/CLKをバッファ処理するクロック入力バッファ50および52と、クロック入力バッファ50および52の出力を受けて内部クロック信号int. CLKを出力する内部制御クロック信号生成回路118と、制御信号CKE, /CS, /RAS, /CASおよび/WEを内部クロック信号int. CLKに応じて受ける入力バッファ12~20と、入力バッファ12~20を介して制御信号を受け内部回路の動作を制御するための内部制御信号を出力するモードデコーダ120とを含む。

【0051】クロックイネーブル信号CKEは、チップへの制御信号の入力を可能とする指示をするための信号であり、クロックイネーブル信号が活性化されないと、制御信号の入力が許可されず、DRAM部4はロジック部とデータ授受を行なわない。

【0052】チップセレクト信号/C_Sは、コマンド信号が入力されているか否かを識別するための信号であり、この信号が活性化している状態(Lレベル)において、クロック信号の立上がりエッジにおいて、他の制御信号のレベルの組合せに応じてコマンドの識別が行なわれる。

【0053】モードデコーダ120は、たとえば内部制御信号として、信号ROWA、信号COLA、信号ACT、信号PC、信号READ、信号WRITE、信号APCおよび信号SRを出力する。

【0054】信号ROWAは、ロウ系のアクセスが行なわれることを示す信号であり、信号COLAは、コラム系アクセスが行なわれることを示す信号であり、信号ACTはワード線の活性化を指示する信号である。

【0055】信号PCはプリチャージ動作を指示して、行系の回路動作の終了を指示する信号である。信号READは、列系の回路に対して読出動作を指示するための信号であり、信号WRITEは列系の回路に対して書込動作を指示するための信号である。

【0056】信号APCはオートプリチャージ動作を指示する信号であり、オートプリチャージ動作が指定され

ると、バーストサイクルの終了とともに、プリチャージ動作が自動的に開始される。信号SRはセルフリフレッシュ動作を指示するための信号であり、たとえば、待機モードにおいてロジック部からセルフリフレッシュモードを指定する制御信号の組合せが入力されると、このセルフリフレッシュ信号SRが発生され、これに応じてセルフリフレッシュ動作が開始され、セルフリフレッシュタイマが動作し、一定時間が経過するとワード線が活性化されリフレッシュ動作が開始される。

【0057】DRAM部4は、さらに、入力信号のHレベルまたはLレベルの判定の基準となる参照電位V_{REF}を受ける。

【0058】DRAM部4は、さらに、ロジック部から与えられるアドレス信号と制御信号との組合せに応じて所定の動作モードに対する情報、たとえばバースト長に関する情報を保持するモードレジスタ122と、ロジック部から行アドレス信号RA0~RA12を受けて保持するロウアドレスラッチ124と、ロジック部から与えられる列アドレス信号CA0~CA10を受けて保持するコラムアドレスラッチ126と、ロウアドレスラッチ124の出力を受けて行アドレスをプリデコードするためのロウプリデコーダ140と、コラムアドレスラッチ126に保持された列アドレスを基準としてモードレジスタ122からのバースト長のデータに応じて内部列アドレスを生成するバーストアドレスカウンタ134と、バーストアドレスカウンタ134の出力を受けて、対応する列アドレスのプリデコードを行なうコラムプリデコーダ142と、内部クロック信号int. CLKに応じて動作する入力バッファ40~44を介してロジック部から与えられるバンクアドレスBA0~BA2を受けて指定されたバンクアドレス値を保持するバンクアドレスラッチ128と、バンクアドレスラッチ128の出力を受けて、バンクアドレスをデコードするバンクデコーダ136とを含む。

【0059】なお、ロジック部から与えられるアドレス信号は、モードレジスタへの動作モード情報の書込を行なう際に、その何ビットかの組合せによってモードレジスタ中にデータを書込むために用いられる。たとえば、バースト長BLや、CASレイテンシCLの値などの設定が、アドレス信号の所定のビット数の組合せにより指定される。

【0060】また、バンクアドレス信号BA0~BA2は、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいてアクセスバンクを指示する。すなわち、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいて、ロジック部2から与えられたバンクアドレス信号BA0~BA2は、バンクアドレスラッチ128に取込まれた後、バンクデコーダ136によってデコードされて各メモリアレイブロック(バンク)に伝達される。

【0061】DRAM部4は、さらに、ロジック部から与えられたアドレス信号およびセルフリフレッシュモードを指示する信号SRを受けてリフレッシュ時の制御を行なうリフレッシュ制御部132と、リフレッシュ制御部132が出力するロウ系制御信号およびバンク指示信号とロウブリデコード140およびバンクデコード136の出力とを信号SRによって切替えるマルチプレクサ144とを含む。

【0062】DRAM部4は、さらに、それぞれが読出／書込動作を独立に行なうことが可能な単位であるバンク0～バンク7として動作するメモリアレイブロック100a～100gと、マルチプレクサ144の出力に応じて対応するバンク中の行（ワード線）を選択するためのロウデコード244と、コラムブリデコード142からの出力に応じて対応するバンク中の列（ビット線対）を選択するためのコラムブリデコード242と、読出動作においては選択されたバンク中の選択されたメモリセルから読出されたデータをグローバルI/OバスG-I/Oに与え、書込動作においては、バスG-I/Oにより伝達された書込データを対応するバンクに与えるI/Oポート266と、書込動作において、外部から与えられた書込データを保持し、バスG-I/Oに与え、読出動作において、バスG-I/Oにより伝達された読出データを保持するデータ入出力回路130と、データ入出力回路130とロジック部2との間で入出力データDQ0～DQ31のやり取りを行なうためのデータ入出力バッファ72～78とを含む。

【0063】DRAM部4は、さらに、外部から3.3Vの電源電位VDDHを受けてたとえば2.0ボルトの電源電位VDD2を出力するVDC回路138を含む。

【0064】図2は、図1に示したリフレッシュ制御部132の構成を示すブロック図である。

【0065】図2を参照して、リフレッシュ制御部132は、図1のモードデコード120からセルフリフレッシュ信号SRを受けてセルフリフレッシュモードに移行する時にリフレッシュのスタンバイ期間を計測するタイマ302と、タイマ302の出力に応じてトリガパルスTRIGを出力するトリガパルス発生回路304と、トリガパルスTRIGに応じてリフレッシュにおけるワード線活性のサイクルを決定するサイクル信号CYCLEを出力するサイクリックタイマ306と、サイクル信号CYCLEに応じてロウ系の動作基準クロック信号RASCKを出力するRASクロック発生回路308と、クロック信号RASCKを基準として所定のタイミングで信号EQ、MWL、SO、PCを出力する制御用遅延回路310とを含む。制御用遅延回路310は、内部イネーブル信号IENが活性化されているときに信号EQ、MWL、SOおよびPCを出力する。

【0066】信号EQはビット線のイコライズ期間を示す信号であり、信号MWLはメインワード線の活性化期

間を示す信号であり、信号SOはセンスアンプの活性化期間を示す信号であり、信号PCはプリチャージ期間を示す信号である。

【0067】リフレッシュ制御部132は、さらに、電源立上げ時のリセット信号PONおよびセルフリフレッシュリセット信号SRRSTに応じてリセットされてロジック部よりスタートアドレスSADR、エンドアドレスEADRを受けてクロック信号RASCKに応じてアドレスをインクリメントするアドレスカウンタ312を含む。アドレスカウンタ312は、メモリアレイに対してリフレッシュアドレスReADRを出力し、アドレスのカウントが一巡したらタイマリセット信号TRSTをタイマ302に対して出力する。

【0068】リフレッシュ制御部132においてタイマ302は高速動作が要求されないため、高いしきい値のトランジスタで構成されており、動作中でもそのリーク電流は小さい。タイマ回路部が時間を検出すると、トリガパルスTRIGが発生され、このトリガ信号TRIGに応じてアドレスカウンタ312が動作を開始する。このアドレスカウンタ312は、低しきい値で動作するトランジスタによって構成されている。しかし、タイマ302が時間を検出する以前においてリーク電流を削減するために、リセット信号によって待機状態とされる。アドレスカウンタ312は、後に説明する階層電源構成を採用しており、待機状態においてはリーク電流を削減することができる。

【0069】図3は、階層電源構成を説明するための回路図である。図3においては、内部回路として5段の直列接続されるインバータIV1～IV5が示される。初段のインバータIV1へ与えられる入力信号INは、スタンバイサイクル時においては、Lレベルである。インバータIV1～IV5は、それぞれ同一構成を有し、PチャネルMOSトランジスタPTと、NチャネルMOSトランジスタNTを含む。これらのMOSトランジスタPTおよびNTは、しきい値電圧の絶対値が小さな低しきい値電圧（ $L-V_{th}$ ）MOSトランジスタである。

【0070】これらのインバータIV1～IV5に対し、電源電位Vccを受ける主電源線321と、この主電源線321にリークカット用のPチャネルMOSトランジスタPQを介して結合されるサブ電源線323と、接地電位Vssを伝達する主接地線322と、主接地線322にリークカット用NチャネルMOSトランジスタNQを介して接続されるサブ接地線324とが設けられる。リークカット用MOSトランジスタPQおよびNQは、そのしきい値電圧（ $M-V_{th}$ ）の絶対値が、MOSトランジスタPTおよびNTのしきい値電圧の絶対値よりも大きく設定されるMOSトランジスタで構成される。

【0071】MOSトランジスタPQは、そのゲートに

制御信号 ϕ を受け、MOSトランジスタNQは、ゲートに制御信号 ϕ を受ける。制御信号 ϕ は、内部回路が動作するアクティブサイクル時においてはHレベルとなる。内部回路が待機状態となるスタンバイサイクル時においてはLレベルとなる。一方、制御信号 ϕ は、アクティブサイクル時にLレベルとなり、スタンバイサイクル時にHレベルとなる。

【0072】内部回路において奇数段のインバータIV1、IV3、およびIV5…は、PチャンネルMOSトランジスタPTのソースが主電源線321に接続され、NチャンネルMOSトランジスタNTのソースがサブ接地線324に接続される。偶数段のインバータIV2、IV4、…はPチャンネルMOSトランジスタPTのソースがサブ電源線323に接続され、NチャンネルMOSトランジスタNTのソースが主接地線322に接続される。

【0073】図4は、図3に示した階層電源構成を有する回路の動作について説明するための波形図である。

【0074】図3、図4を参照して、スタンバイサイクル時においては、制御信号 ϕ はLレベルであり、また制御信号 ϕ はHレベルである。また、入力信号INは、Lレベルである。この状態においては、リークカット用MOSトランジスタPQおよびNQがオフ状態となる。

【0075】奇数段のインバータIV1、IV3およびIV5は、その入力信号INがLレベルであるため、内部においてPチャンネルMOSトランジスタPTがオン状態、NチャンネルMOSトランジスタNTがオフ状態となる。PチャンネルMOSトランジスタPTは、主電源線321にそのソースが接続されており、一方NチャンネルMOSトランジスタNTは、サブ接地線324にそのソースが接続されている。

【0076】PチャンネルMOSトランジスタPTは、導通して対応の出力ノード（ドレイン）へ主電源線321上の電源電位Vccレベルの電圧を伝達すると、ソースおよびドレイン間電圧が等しくなるので電流が流れない状態となる。

【0077】一方、NチャンネルMOSトランジスタNTは、ゲートにLレベルの信号を受けており非導通状態となっているが、サブ接地線に結合されたソースとドレインとの間に一定値以上の電位差があるときはオフリーク電流が生じている。このサブ接地線324は、比較的高いしきい値電圧M-Vthを有するリークカット用MOSトランジスタNQを介して主接地線322に接続されている。したがって、インバータIV1、IV3およびIV5…からのオフリーク電流がサブ接地線324に流れても、このリークカット用MOSトランジスタNQはこれらのオフリーク電流をすべて放電することができず、サブ接地線324上の電圧レベルSVssが接地電位Vssよりも高くなる。

【0078】このサブ接地線324上の電位SVssは、リークカット用MOSトランジスタNQの放電する

リーク電流量と、内部回路に含まれるインバータ段からのオフリーク電流の総和との関係により最終的に決定される。サブ接地線324上の電位SVssが接地電位Vssよりも高くなると、奇数段のインバータIV1、IV3、IV5…においてNチャンネルMOSトランジスタNTのゲート-ソース間が逆バイアス状態に設定され、オフリーク電流がさらに低減される。

【0079】一方、偶数段のインバータIV2、IV4、…においては、入力信号がHレベルである。これらの偶数段のインバータIV2、IV4、…においては、PチャンネルMOSトランジスタPTのソースがサブ電源線323に接続され、NチャンネルMOSトランジスタNTのソースが主接地線322に接続される。したがって、偶数段のインバータIV2、IV4、…においては、NチャンネルMOSトランジスタはソースおよびドレインが等しくなり、接地電位Vssレベルとなる。一方で、PチャンネルMOSトランジスタPTでは、非導通状態であってもオフリーク電流が生じている。

【0080】主電源線321とサブ電源線323の間には、比較的しきい値電圧の絶対値(M-Vth)が大きいリークカット用MOSトランジスタPQが設けられている。したがって、この主電源線321からサブ電源線323へのリーク電流量がリークカット用MOSトランジスタPQより決定され、サブ電源線323上の電圧SVccは、電源電位Vccレベルよりも低下する。このサブ電源線323上の電圧SVccの電圧レベルは、最終的にリークカット用MOSトランジスタPQの供給するリーク電流と偶数段のインバータIV2、IV4、…におけるオフリーク電流の総和との関係により決定される。電圧SVccが電源電位Vccよりも低くなると、偶数段のインバータIV2、IV4、…において、PチャンネルMOSトランジスタPTのゲート-ソース間が逆バイアス状態に設定されオフリーク電流がさらに低減される。

【0081】アクティブサイクル時においては、制御信号 ϕ がHレベルとなり、一方、制御信号 ϕ がLレベルとなり、リークカット用MOSトランジスタPQおよびNQがオン状態となり、主電源線321がサブ電源線323に接続され、主接地線322がサブ接地線324に接続される。

【0082】これにより、サブ電源線323上の電圧SVccが電源電位Vccレベルとなり、またサブ接地線324上の電位SVssが接地電位Vssレベルとなる。このアクティブサイクル時において、入力信号INが動作状態に応じて適当に変化する。内部回路を構成するインバータIV1～IV5…のMOSトランジスタは低しきい値電圧のMOSトランジスタであり、高速で動作する。このとき、リークカット用MOSトランジスタPQおよびNQの電流供給能力は、この内部回路の動作を十分に保証することができるように大きい値に設定さ

れる。

【0083】このように、電源線を主電源線およびサブ電源線とし、接地線を主接地線およびサブ接地線とする階層構成にすることにより、スタンバイサイクル時に、電源線/接地線のインピーダンスを高くしてリーク電流を低減し、一方アクティブサイクル時においては、この電源線/接地線のインピーダンスを小さくして内部回路の低しきい値電圧のMOSトランジスタにより高速動作を実現する。図2のアドレスカウンタ312をこのような階層電源構成にすることにより、パワーダウンモードにおいてリフレッシュを行なわないスタンバイ期間の消費電流を低減し、かつ、リフレッシュ時には高速動作することができる半導体装置を実現することが可能となる。

【0084】セルフリフレッシュが行なわれている際のスタンバイ期間には、MOSトランジスタPQ、NQを非導通状態にすることに加えて、基板電位をトランジスタのソース電位に対して低くし、リーク電流のさらに小さい状態にして使用することによりさらにリーク電流が削減できる。また、メモリアレイ中のセンスアンプの共通ソース線に流す電流を小さくすればさらにリーク電流を削減することができる。

【0085】図5は、図2におけるアドレスカウンタ312の第1の例を示したブロック図である。

【0086】図5を参照して、アドレスカウンタ312は、ロジック部よりスタートアドレスSADRを受けて保持するラッチ回路332と、ロジック部から与えられるエンドアドレスEADRを受けて保持するラッチ回路334と、図2のRASクロック発生回路308からのクロック信号RASCCKに応じてカウントアップ動作を行ない、リフレッシュアドレスReADR0を出力し、リフレッシュアドレスが一巡するとタイマリセット信号TRSTを出力するカウンタ336とを含む。

【0087】アドレスカウンタ312は、さらに、カウンタ336が出力するリフレッシュアドレスReADR0とラッチ回路332が保持しているスタートアドレスSADRとを比較してリフレッシュアドレスReADR0がスタートアドレスSADR以上となったときに出力を活性化する比較回路338と、リフレッシュアドレスReADR0とラッチ回路334が保持しているエンドアドレスEADRとを比較してリフレッシュアドレスReADR0がエンドアドレスEADR以下である場合に出力を活性化させる比較回路340と、比較回路338および340の出力を受けて内部イネーブル信号IENを出力するAND回路342と、リフレッシュアドレスReADR0を受け内部イネーブル信号IENが活性化されたときにメモリアレイのロウデコーダに向けてリフレッシュアドレスReADRを出力するバッファ回路344とを含む。

【0088】図6は、図5に示したアドレスカウンタ3

12の動作を説明するための動作波形図である。

【0089】図5、図6を参照して、時刻t1のコマンドが入力される以前にロジック部からパワーダウンモード移行前のリフレッシュの実行指示がDRAM部に対してなされている。時刻t1以降は、ロジック部の電源電圧が立下げられることに応じて内部クロック信号CLKはLレベルに固定され、DRAM部に入力されるクロック信号が非活性化される。

【0090】時刻t1において制御信号/CS、/RAS、/CAS、/WEの組合せで定まるコマンドによって、パワーダウンモードが設定される。

【0091】DRAMを内蔵するシステムLSIでは、外部からアドレスを入力する必要がないので、ロジック部からDRAM部にあたえるアドレス信号のビット数が増加しても外部端子が増加することはない。したがって、いわゆるアドレスピンマルチプレクスを使用する必要がなく、ロウアドレスとコラムアドレスとは別の配線で伝達される。

【0092】リフレッシュする領域を指定するスタートアドレスとエンドアドレスとはロジック回路から与えられるが、リフレッシュ時には列アドレスは特に指定する必要がないので、ロジック回路は行アドレス信号RADD0~RADDnとしてリフレッシュスタートアドレスを与え、列アドレス信号CADD0~CADDnとしてリフレッシュエンドアドレスを与える。そして、スタートアドレスとエンドアドレスの間はリフレッシュを行ない、それ以外のアドレスの部分に関してはリフレッシュ動作を行なわずスキップさせる。これのアドレスの特定は、たとえばバンクアドレスにしたがって行なわれるようにしてもよい。

【0093】このリフレッシュスタートアドレスSADRおよびリフレッシュエンドアドレスEADRは、ロジック部がDRAM部を使用するにあたり、パワーダウンモードに移行するときに情報を保持する必要のあるメモリ領域を認識しこれに応じてパワーダウンモードに先がけてロジック部がDRAM部に対して出力するものである。そして、時刻t1においてリフレッシュスタートアドレスおよびリフレッシュエンドアドレスがDRAM部のアドレスカウンタ312内においてラッチ回路332、334に保持されると、ロジック部の電源電圧は供給が停止され消費電力の低減が図られる。

【0094】図1のモードデコーダ120からセルフリフレッシュ信号SRがリフレッシュ制御部132に入力されると、図2のタイマ302において内蔵するリングオシレータなどによって基準クロックが発生され、通常動作時にリフレッシュがおこなわれてからパワーダウンモードに移行して次のリフレッシュ動作が開始されるまでの間のスタンバイ期間が計測される。

【0095】時刻t2において、所定の時間となったためタイマ302が所定の出力となり、応じてトリガパル

ス発生回路 304 がトリガパルス TRIG を出力する。そして、サイクリックタイマ 306 がリフレッシュサイクルに対応する周期でサイクル信号 CYCLE を出力し、応じてクロック信号 RASCK がアドレスカウンタ 312 に入力される。アドレスカウンタ 312 のカウンタ 336 にこのクロック信号 RASCK が入力され、カウンタ 336 が、リフレッシュアドレス信号 ReADR0 を順次出力する。しかし、必要な情報が保持されていないメモリ領域に対してはリフレッシュ動作を行なう必要がない。そこで、消費電力低減のため、現在カウンタ 336 によって発生されているリフレッシュアドレス信号 ReADR0 がスタートアドレスとエンドアドレスの間にあるか否かが比較回路 338 および比較回路 340 によって判定され、応じて内部イネーブル信号 IEN が出力される。

【0096】時刻 $t_2 \sim t_3$ では、リフレッシュアドレス信号がスタートアドレスよりも小さいため、バッファ回路 344 の出力は非活性化され内部イネーブル信号 IEN も非活性化される。

【0097】したがって、メモリアレイにはリフレッシュアドレスは伝達されず、また、制御用遅延回路 310 からの制御信号も伝達されない。これらの信号はそのレベルが固定され、これらの信号が信号線を駆動する電流分だけ消費電流が低減される。

【0098】時刻 t_3 において、カウンタ 336 が出力するリフレッシュアドレス ReADR0 とラッチ回路 332 が保持するスタートアドレスとが一致すると、比較回路 338 の出力が変化して応じて内部イネーブル信号 IEN が活性化され、リフレッシュの実行が開始される。

【0099】そして、時刻 t_4 において、ラッチ回路 334 が保持するエンドアドレス EADR とカウンタ 336 がクロック信号 RASCK に応じてカウントアップしていたリフレッシュアドレス ReADR0 とが一致すると、比較回路 340 の出力が変化し、応じて内部イネーブル信号 IEN が非活性化される。すると、必要な領域のリフレッシュが完了したことになり、以降のアドレスに対してはリフレッシュは行なわれない。そして、時刻 t_5 においてカウンタ 336 が発生するアドレスが一巡すると、カウンタ 336 はタイマリセット信号 TRST を出力し再びタイマ 302 によってスタンバイ期間が計測される。このスタンバイの期間においてはアドレスカウンタ 312 は先に説明した階層電源構成においてスタンバイ状態に設定される。

【0100】時刻 t_6 においてタイマ 302 が再びスタンバイ期間の経過を示すと、応じてトリガパルス TRIG が活性化され、アドレスカウンタ 312 はアクティブモードに移行してリフレッシュアドレスのカウントアップを開始する。そして、時刻 t_7 においてリフレッシュアドレスがスタートアドレスと一致すると、再び保持す

べき情報を蓄積しているメモリセルについてリフレッシュが実行される。

【0101】時刻 t_8 において、クロックイネーブル信号 CKE が H レベルに活性化され、またロジック回路に電源が投入され、DRAM 部にクロック信号 CLK が入力されると、パワーダウンモードにおいて途中でリフレッシュが終了してしまった場合を考慮してダミーサイクルの挿入によって全メモリエリアをまずリフレッシュする。そしてその後にロジック回路部と DRAM 部との間のデータ授受が再開される。

【0102】図 7 は、アドレスカウンタ 312 の変形例であるアドレスカウンタ 312a の構成を示したブロック図である。

【0103】図 7 を参照して、アドレスカウンタ 312a は、図 5 に示したアドレスカウンタ 312 の構成において、比較回路 338、340、AND 回路 342 およびバッファ回路 344 に代えて、アドレス検出回路 352 および比較回路 354 を含む点がアドレスカウンタ 312 と構成が異なる。他の構成はアドレスカウンタ 312 と同様であり説明は繰返さない。

【0104】アドレス検出回路 352 は、ラッチ回路 332 および 334 からスタートアドレス SADR およびエンドアドレス EADR を受けると、全部のアドレス領域に対してリフレッシュを行なう必要があるアドレス領域の割合を検出して、応じてリフレッシュ周期を選択するサイクル選択信号 SELC を図 2 のサイクリックタイマ 306 に対して出力する。

【0105】サイクリックタイマ 306 においてはこのサイクル選択信号 SELC に応じてたとえば内蔵するカウンタ回路の段数が変更されリフレッシュ周期が変更される。この周期に応じてクロック信号 RASCK がカウンタ 336 に入力され、リフレッシュアドレス ReADR がカウントアップされる周期が変更される。たとえば、4012 のワード線アドレスを 32ms でセルフリフレッシュさせる場合、スタートアドレスとエンドアドレスの選択が、4012 のワード線のアドレスの 4 分の 1 の範囲に限定されるなら、クロック信号 RASCK の周期は 4 倍にできる。したがってリフレッシュを行なう時間を分散できるため、ピーク電流を減らすことができ待機時の低消費電力化に有利である。

【0106】カウンタ 336 が出力するリフレッシュアドレス ReADR がラッチ回路 334 の保持するエンドアドレス EADR と一致すると、比較回路 354 が図 2 のタイマ 302 に対してタイマリセット信号 TRST を出力する。

【0107】図 8 は、図 7 に示したアドレスカウンタ 312a の動作を説明するための動作波形図である。

【0108】図 7、図 8 を参照して、時刻 t_1 においてセルフリフレッシュコマンドが入力されリフレッシュスタートアドレスおよびリフレッシュエンドアドレスが入

10

20

30

40

50

力され、時刻 t_2 に至るまでの間タイマ302によってスタンバイ期間が計測される点は図6で説明した場合と同様である。

【0109】時刻 t_2 においてタイマ302の出力の変化に応じてトリガパルスTRIGが活性化されると、サイクリックタイマ306は、アドレス検出回路352が選択したリフレッシュサイクルに応じたサイクリックパルスCYCLEを発生する。応じてカウンタ336は、ラッチ回路332から受けたスタートアドレスSADRからリフレッシュアドレスReADRのカウントアップを開始する。したがって、図6の場合と異なり、リフレッシュサイクルは図6の場合にスキップされていたメモリ領域の割合分だけ周期が延長され、リフレッシュがエンドアドレスに至るまで実行される。

【0110】時刻 t_5 において、カウンタ336の出力するリフレッシュアドレスがエンドアドレスと一致すると、比較回路354からタイマリセット信号TRSTが出力され、再びタイマ302によるスタンバイ期間の計測が開始されこの間はアドレスカウンタはスタンバイモードに設定される。

【0111】このような構成にすることにより、メモリのリフレッシュ間隔が許される範囲で、リフレッシュ周期を延ばすことにより消費電流のピーク値を減らすことができ、低消費電力化に有利である。

【0112】〔実施の形態2〕実施の形態1ではリフレッシュ領域を削減することで消費電力を削減する説明を行なったが、たとえばパワーダウンモードにおいてDRAM部の内部回路も必要でない部分については電源をオフさせる構成でも低消費電力化が可能である。

【0113】図9は、実施の形態2の半導体装置に対して外部から電源供給を行なう説明をするための概念図である。

【0114】図9を参照して、半導体装置CHにはロジック部LGとDRAM部MEMが設けられており、DRAM部には昇圧電位VPPを発生する電圧発生回路VGEN1および基板電位VBBを発生する電圧発生回路VGEN2が設けられている。

【0115】ロジック部LGは、端子T1を介して3.3Vの電源電位LVDDHを受け、端子T2を介して1.5Vの電源電位VDDを受ける。この電源電位VDDは、DRAM部MEMにも供給される。DRAM部MEMには、端子T3を介して3.3Vの電源電位DVDDHが供給される。

【0116】この半導体装置においては、パワーダウンモード時には、ロジック部LGに与えられる電源電位LVDDHおよびVDDはオフ状態に設定される。DRAM部MEMは、パワーダウンモード時に電源電位DVDDHのみによりメモリセルが保持している情報をリフレッシュする動作を行なう。

【0117】図10は、図9に示されたDRAM部にお

いて内部回路に電源電位を供給する構成を示した概念図である。

【0118】図10を参照して、DRAM部には、行列状に配列されたデータ保持用のメモリセルを含むメモリアレイARY1, ARY2に対してこれらの動作を制御するための周辺回路PCKT1, PCKT2が設けられている。

【0119】メモリセルアレイは高い電圧で動作し、周辺回路部は通常動作時には1.5Vで動作する。特に、周辺回路部は、同一の電源が供給されていることが多い。しかも、低電圧の外部電源によって動作をさせるためには、周辺回路を構成するトランジスタのしきい値電圧を下げるなどの工夫がされている。この場合に、しきい値電圧を下げることによるリーク電流の増大が問題となる。このリーク電流は、周辺回路の非動作状態においても電源投入中の電力ロスとなる。

【0120】リーク電流を低減させるため、周辺回路PCKT1は、電源線L1, L4を介して外部から1.5Vの電源電位VDDを受けて動作しており、パワーダウンモードにおいては電源オフ状態とされリーク電流が削減される。

【0121】一方、周辺回路PCKT2には、パワーダウンモードにおいてもメモリアレイARY1, ARY2に対してリフレッシュ動作等を行なうために電源電位VDD3が与えられ続ける。DRAM部には、図9で説明したように、パワーダウンモード時には3.3Vの電源電位DVDDHしか与えられておらず、このため、DRAM部は、パワーダウンモード時には電源電位DVDDHから周辺回路PCKT2が動作するための電源電位VDD3を作っている。

【0122】具体的には、3.3Vの電源電位DVDDHを受けて約2.0Vの電圧に降下する電圧降下回路VDCと、電源電位VDDと電圧降下回路VDCの出力とを選択的に電源線L1, L4にそれぞれ供給する電源選択回路SE1, SE2とが設けられる。

【0123】電源選択回路SE1は、セルフリフレッシュ信号SRによって活性化され電圧降下回路VDCの出力を電源線L2に伝達するNチャネルMOSトランジスタTr2と、セルフリフレッシュ信号の反転信号である信号/SRに応じて導通し通常動作時には電源電位VDDを電源線L2に与えるNチャネルMOSトランジスタTr1とを含む。

【0124】電源選択回路SE2は、セルフリフレッシュ信号SRに応じて活性化し電圧降下回路VDCの出力をしきい値電圧分だけ降下させて電源線L3に供給するためのトランジスタTr3と、信号/SRに応じて導通状態となり外部から与えられる電源電位VDDを通常動作時に電源線L3に供給するNチャネルMOSトランジスタTr4とを含む。

【0125】また、パワーダウンモードが不要なユーザ

のために、電源線L1とL2を接続するスイッチSW1および電源線L3とL4とを接続するためのスイッチSW2が設けられている。たとえば、スイッチSW1、SW2は、半導体装置の製造工程におけるアルミマスクオブションなどでも実現することができる。

【0126】図11は、図10に示した周辺回路PCKT1、PCKT2のグループ分けの第1の例を説明するための概念図である。

【0127】図11を参照して、DRAM部には、周辺回路として大きく分けてクロック制御部402、ロウ系コマンド制御部404、コラム系コマンド制御部406、ロウ系アドレス制御部408、バンクアドレス制御部410、コラム系アドレス制御部412、入出力データ系制御部414およびセルフリフレッシュ系制御部416が含まれている。

【0128】クロック制御部402には、たとえば、図1で説明したクロック入力バッファ50、52および内部制御クロック信号生成回路118が含まれる。

【0129】ロウ系コマンド制御部404には、たとえば入力バッファ12~20およびモードデコーダ120のうち、ロウ系コマンドを発生する部分が含まれる。一方コラム系コマンド制御部406には、入力バッファ12~20およびモードデコーダ120のうち、コラム系コマンドを発生する回路が含まれる。

【0130】ロウ系アドレス制御部408には、たとえばロウアドレスラッチ124、ロウプリデコーダ140が含まれる。バンクアドレス制御部410には、たとえば、入力バッファ40~44およびバンクアドレスラッチ128、バンクデコーダ136が含まれる。コラム系アドレス制御部412にはたとえば、コラムアドレスラッチ126、バーストアドレスカウンタ134およびコラムプリデコーダ142等が含まれる。入出力データ系制御部414には、データ入出力バッファ72~78およびデータ入出力回路130が含まれる。またセルフリフレッシュ系制御部416には、リフレッシュ制御部132およびマルチプレクサ144などが含まれる。

【0131】図1に示す第1のグループ分けにおいては、入出力データ系制御部414が外部から与えられる電源電位VDDによって動作し、他の部分は図10において説明したように電源電位DVDDHに基づきパワーダウンモードにおいて発生される電源電位VDD3によって動作する。すなわち、図11においては、周辺回路PCKT1には入出力データ系制御部414が含まれ、周辺回路PCKT2にはクロック制御部402、ロウ系コマンド制御部404、コラム系コマンド制御部406、ロウ系アドレス制御部408、バンクアドレス制御部410、コラム系アドレス制御部412およびセルフリフレッシュ系制御部416が含まれることになる。

【0132】図12は、周辺回路のグループ分けの第2の例を説明するための図である。図12を参照して、外

部電源電位VDDは、電源配線424を介して入出力データ系制御部414、コラム系アドレス制御部412、コラム系コマンド制御部406およびクロック制御部402に供給される。一方、電源電位VDD3は、電源配線422を介してセルフリフレッシュ系制御部416、ロウ系コマンド制御部404、ロウ系アドレス制御部408、バンクアドレス制御部410に供給される。

【0133】図12に示した構成では、図10における周辺回路PCKT1にはクロック制御部402、コラム系コマンド制御部406、コラム系アドレス制御部412および入出力データ系制御部414が含まれることになる。一方、周辺回路PCKT2にはロウ系コマンド制御部404、ロウ系アドレス制御部408、バンクアドレス制御部410が含まれることになる。

【0134】図13は、周辺回路のグループ分けの第3の例を説明するための図である。図13を参照して、外部電源電位VDDは、電源配線428を介してクロック制御部402、コラム系コマンド制御部406、ロウ系アドレス制御部408、バンクアドレス制御部410、コラム系アドレス制御部412、入出力データ系制御部414に供給される。一方、電源電位VDD3は、電源配線426を介してセルフリフレッシュ系制御部416およびロウ系コマンド制御部404に供給される。

【0135】図13に示したグループ分けでは、図10における周辺回路PCKT1にはクロック制御部402、コラム系コマンド制御部406、ロウ系アドレス制御部408、バンクアドレス制御部410、コラム系アドレス制御部412、入出力データ系制御部414が含まれることになる。一方、周辺回路PCKT2にはロウ系コマンド制御部404およびセルフリフレッシュ系制御部416が含まれることになる。

【0136】次に、このように部分的にブロックの電源をオフする場合に問題となる場所について説明する。

【0137】図14は、メモリアレイの構成を説明するための概略図である。図14を参照して、メモリアレイは、4行4列に配列されたメモリマットを有し、各行に対応してメインワードドライバ群1142が設けられ、各列に対応してI/Oセクタ1152が設けられる。各メモリマットには、それぞれ対応するセンスアンプ1148と、サブワードドライバ1150とが設けられる。

【0138】まず、コラム方向の選択動作を説明すると、ドライバ1160によってメインコラム線選択信号MYSが活性化され、SDYSドライバ1146によってセグメントデコードYS選択信号SDYSが活性化される。これらの信号により、サブYS信号SYSが活性化され、対応するI/Oゲート1162によりI/O線1164が活性化される。

【0139】次に、ロウ系の選択動作を説明する。まず、メインワードドライバ1156によりメインワード

線MWLが活性化される。また、SDドライバ1144によってセグメントデコード線SDが活性化される。メインワード線MWLとセグメントデコード線SDとにより対応するサブワードドライバ1168が活性化され、応じてサブワード線1170が活性化されメモリセルに接続されているアクセストランジスタが導通状態となる。応じてビット線対1158によりデータが出力され、センスアンプ1166により増幅されたデータがI/O線1164を介して外部に対して読出される。I/O線1164には、リードアンプ1154およびライトアンプ1153が接続されており、リードアンプ1154とライトアンプ1153は入出力ラッチ1172に接続されている。入出力ラッチ1172は、ロジック部とデータを授受するための入力バッファ1174および出力バッファ1176に接続されている。

【0140】図11、図12、図13に示したいずれのケースにおいても、入出力データ系制御部414は、パワーダウンモードにおいて電源がオフ状態とされる電源電位VDDから動作電源電位の供給を受けている。したがって、パワーダウンモードにおけるセルフリフレッシュ時には、入出力ラッチ1172および入力バッファ1174、出力バッファ1176は電源がオフ状態となる。このような場合にI/O線1164が不安定な電位となると、リフレッシュ動作に悪影響を及ぼす可能性がある。

【0141】図15は、書込に使用するI/O線における電源を立上げる境界部分の構成を説明するための図である。

【0142】図15を参照して、ラッチ回路1172は電源電位VDDが供給される。ラッチ回路1172は、ロジック部から入出力制御部を介して伝達される書込データ信号WDATa, WDATbをそれぞれ受けるフリップフロップ1172a, 1172bを含む。

【0143】フリップフロップ1172a, 1172bの出力は電源電位VDD3によって動作電源電位が供給されるゲート回路504に入力される。ゲート回路504は、セルフリフレッシュが実行されるときにLレベルに設定される信号/SRとフリップフロップ1172aの出力とを受けるAND回路505aと、信号/SRとフリップフロップ1172bの出力とを受けるAND回路505bとを含む。AND回路505aの出力は、ライトI/O線WIOaを駆動するインバータ1153aの入力に与えられ、AND回路505bの出力は、ライトI/O線WIObを駆動するインバータ1153bの入力に与えられる。従来の構成に加えてこのようなゲート回路504を設けることにより、パワーダウンモードにおいて信号/SRがLレベルに設定され、応じてAND回路505a, 505bの出力はHレベルに固定され、したがって、ライトI/O線はHレベルに固定される。

【0144】図16は、図15におけるフリップフロップ1172aの構成を示す回路図である。

【0145】図16を参照して、フリップフロップ1172aは、入力信号Dを受けて反転するクロック信号/CKに依りて活性化するクロックドインバータ506と、インバータ506の出力を受けて反転するインバータ508と、インバータ508の出力を受けて反転してインバータ508の入力部に与えるクロック信号CKに依りて活性化されるクロックドインバータ510と、クロック信号CKに依りて導通しインバータ508の出力を次段に伝達するトランスミッションゲート512と、トランスミッションゲート512によって伝達されたデータを受けて反転するインバータ514と、インバータ514の出力を受けてインバータ514の入力部に与えるクロック信号/CKに依りて活性化されるクロックドインバータ516と、インバータ514の出力を受けて反転し出力信号Qを出力するインバータ518とを含む。なお、フリップフロップ1172bの構成もフリップフロップ1172aと同様であり説明は繰返さない。

【0146】再び図15を参照して、ラッチ回路1172に与えられる電源電位VDDがパワーダウンリフレッシュモードにおいてオフ状態に設定され、フリップフロップ1172a, 1172bの出力が不安定な状態になったときであっても、ゲート回路504を設けて信号/SRでライトI/O線を固定することにより、再度電源電位VDDをオン状態にして通常動作に移行する際にもライトI/O線が不安定な状態になることはない。したがって、動作を安定化させることができる。

【0147】図17は、図14で説明したリードアンプ1154の前後において電源が供給される説明をするための図である。

【0148】図17を参照して、リードI/O線RIO, /RIOにはイコライズ回路528が接続されており、読出動作が行なわれる前にHレベルにリードI/O線がプリチャージされる。このイコライズ回路528は、電源電位VDD3から動作電源電位の供給を受けている。また、リードI/O線RIO, /RIOに読出されたデータは、リードアンプ1154に与えられ、リードアンプ1154は読出されたデータを増幅してラッチ1172cに与える。ラッチ1172cは、読出されたデータRDATを入出力制御部を介してロジック部に対して出力する。リードアンプ1154およびラッチ1172cは、パワーダウンリフレッシュモードにおいてオフ状態とされる電源電位VDDから動作電源電位の供給を受けている。

【0149】図18は、図17に示したリードアンプ1154およびイコライズ回路528の構成を示した回路図である。

【0150】図18を参照して、イコライズ回路528は、リードI/O線RIO, /RIOをそれぞれ電源電

位VDD3に結合するためのPチャネルMOSトランジスタ538, 540を含む。PチャネルMOSトランジスタ538, 540のゲートはプリチャージ信号/PCを受ける。

【0151】リードアンプ1154は、接地ノードと出力ノードNOUT1との間に接続されゲートにリードI/O線/RIOが接続されるNチャネルMOSトランジスタ534と、出力ノードNOUT2と接地ノードとの間に接続されそのゲートにリードI/O線RIOが接続されるNチャネルMOSトランジスタ536と、電源電位VDDが与えられるノードとノードNOUT2との間に接続されゲートがノードNOUT1に接続されるPチャネルMOSトランジスタ532と、電源電位VDDが与えられるノードとノードNOUT1との間に接続されゲートがノードNOUT2に接続されるPチャネルMOSトランジスタ530とを含む。

【0152】このようにリードアンプとイコライズ回路に電源電位を供給することで、電源電位VDDをパワーダウンリフレッシュモードにおいてオフ状態にしてもアレ

イのデータに影響を及ぼさないようにすることができる。

【0153】図19は、リフレッシュ制御系の低消費電力化を図るために一部のブロックにしきい値の高いトランジスタを使用する説明をするためのブロック図である。

【0154】図19を参照して、セルフリフレッシュモードがモードデコーダより設定されるとバッファ626によってセルフリフレッシュ信号SRが活性化される。応じてアドレス制御回路614、SRタイマ616、SR制御回路618が動作を開始する。通常アドレス信号Addはバッファ606に入力され、バッファ606の出力とアドレス制御回路614が出力するリフレッシュアドレスRef-Addはマルチプレクサ608に入力される。マルチプレクサ608はセルフリフレッシュ信号SRが活性化されるとリフレッシュアドレス信号を出力する。マルチプレクサ608の出力はアドレス比較回路604および置換指示回路&プリデコーダ610に与えられる。アドレス比較回路604はヒューズ602によって設定された置換アドレス信号と入力されたアドレス信号とを比較してアドレスが一致した場合には置換指示回路&プリデコーダ610に置換指示を行なう。置換指示回路&プリデコーダ610はバッファ612にデコード結果を出力し、バッファ612はメモリアレイに対してアレ

イの選択情報を出力する。

【0155】一方、コマンド信号の伝達経路について説明すると、選択回路620は、通常動作時にはバッファ622を介してコマンド信号CMDをモードデコーダより受ける。また他方の入力にはSR制御回路618からセルフリフレッシュ時のコマンド信号を受ける。そして、選択回路620は、セルフリフレッシュ信号SRに

応じていずれかのコマンド信号をバッファ624に出力し、バッファ624はそのコマンド信号をアレ

イに対して伝達する。また、ロジック部からのリセット信号を伝達するためにバッファ628が設けられている。

【0156】図19に示した構成例において、高速動作が要求される回路部分についてはしきい値電圧が低いトランジスタを使用する必要があるが、セルフリフレッシュ時には、通常の回路と異なる高いしきい値電圧のトランジスタで構成された別回路を活性化させる。すなわちセルフリフレッシュ時には、通常動作時のような高速な読出動作を必要としないからである。また、リフレッシュに必要な信号もイコライズ信号の非活性化、ワード線の活性化、センスアンプの活性化のみでよい。たとえば図19においては、アドレス制御回路614、SRタイマ616、SR制御回路618はしきい値電圧の高いトランジスタを使用して構成されている。また、ヒューズ602およびアドレス比較回路604も、3.3Vの電源電圧で動作するゲート酸化膜が厚いしきい値電圧が高いトランジスタで構成される。

【0157】なお、マルチプレクサ608、620およびバッファ626、628はゲート酸化膜が厚いトランジスタで構成されているが、1.5Vの電源電圧で動作するようになっている。

【0158】図20は、通常動作時のアドレスとセルフリフレッシュ時のアドレスとをマルチプレクスするための回路構成を示す回路図である。

【0159】図20を参照して、通常時に入力されるアドレス信号Addおよびセルフリフレッシュモードにおいて入力されるリフレッシュアドレス信号Ref-Addは図19におけるマルチプレクサ608に入力される。マルチプレクサ608は、アドレス信号Addおよびリフレッシュアドレス信号Ref-Addの各ビットをマルチプレクスするマルチプレクサ608a~608cを含む。これらのマルチプレクサはセルフリフレッシュ信号SRに応じアドレス信号を選択してデコード部550に出力する。デコード部550は、ノードN1と接地ノードとの間に直列に接続されたNチャネルMOSトランジスタ552~556を含む。NチャネルMOSトランジスタ552~556のゲートには、マルチプレクサ608a~608cの出力がそれぞれ与えられる。また、ノードN1は、プリチャージ信号/PCに応じてPチャネルMOSトランジスタ566によって電源電位VDD3に結合される。また、ノードN1の電位は、インバータ558によって反転され出力信号OUTとして出力される。信号OUTは、ノードN1と電源電位VDD3が与えられるノードとの間に接続されるPチャネルMOSトランジスタ564のゲートに与えられる。

【0160】インバータ558は、電源電位VDD3が与えられるノードと接地ノードとの間に直列に接続されるPチャネルMOSトランジスタ560、NチャネルM

OSトランジスタMOSトランジスタ562を含んでいる。PチャネルMOSトランジスタ560およびNチャネルMOSトランジスタ562のゲートはともにノードN1に接続され、NチャネルMOSトランジスタ560およびNチャネルMOSトランジスタ562の接続ノードからは出力信号OUTが出力される。

【0161】図21は、アドレスをマルチプレクスする第2の構成を示した回路図である。図21を参照して、第2の構成例である回路609は、第1の構成例の回路549の構成においてマルチプレクサ608およびデコード部550に代えてデコード部568および570を含む。他の構成は、図20に示した回路構成例549と同様であり説明は繰返さない。デコード部568は、通常動作におけるアドレス信号Addをそれぞれゲートに受けノードN1と接地ノードとの間に直列に接続されるNチャネルMOSトランジスタ572～576を含む。

【0162】デコード部570は、リフレッシュ時に用いられるリフレッシュアドレスRef-Addをそれぞれゲートに受けノードN1と接地ノードとの間に接続される直列に接続されたNチャネルMOSトランジスタ578～582を含む。通常動作時には、リフレッシュアドレスRef-Addは各ビットがすべてLレベルに設定され、一方、セルフリフレッシュモードにおいては通常アドレス信号Addは各ビットがLレベルに固定される。このような構成において、デコード部570に含まれるNチャネルMOSトランジスタをしきい値電圧Vthが高いNチャネルMOSトランジスタにすることにより、パワーダウンモードにおけるリーク電流を減らすことができる。

【0163】なお、デコード部568からデコード部570への動作切換のためにデコード部568を非動作状態にするための制御は、必ずしもアドレス信号AddのアドレスビットをすべてLレベルにする必要はなく、セルフリフレッシュ時に必ずL固定になるアドレスをトランジスタ572～576のうちの1つに与えることでも実現できる。同様に、通常動作時にデコード部570を動作させないようにする構成もトランジスタ578～582のいずれか1つに通常動作時に必ずL固定になるアドレスを与えることでも実現することができる。

【0164】次に、図19で示したような複数の電源電位が存在する場合においてコマンド信号をメモリアレイに伝達するために用いられている回路構成について説明しておく。

【0165】図22は、レベル変換回路の構成を示した回路図である。図22を参照して、このレベル変換回路は、ノードN3と接地ノードとの間に接続されゲートにコマンド信号CMDを受けるNチャネルMOSトランジスタ638と、ノードN2とNチャネルMOSトランジスタ638のゲートとの間に接続されゲートに電源電位VDDが与えられるNチャネルMOSトランジスタ63

6と、ノードN2と電源電位VDDが与えられるノードとの間に接続されゲートがノードN3に接続されるPチャネルMOSトランジスタ632と、電源電位VDDが与えられるノードとノードN3との間に接続されゲートがノードN2に接続されるPチャネルMOSトランジスタ634とを含む。ノードN3からは出力信号OUTが出力される。

【0166】このような構成にすれば、コマンド信号CMDの出力振幅は接地電位から電源電位VDDの間の振幅に変換される。

【0167】図23は、図21における選択回路620の構成を示した回路図である。図23を参照して、選択回路620は、ノードN6と接地ノードとの間に接続されゲートにコマンド信号CMDを受けるNチャネルMOSトランジスタ648と、ノードN4とNチャネルMOSトランジスタ648のゲートとの間に接続されゲートにセルフリフレッシュ信号の反転信号/SRが与えられるNチャネルMOSトランジスタ646と、ノードN4と電源電位VDD3が与えられるノードとの間に接続されゲートがノードN6に接続されるPチャネルMOSトランジスタ642と、電源電位VDD3が与えられるノードとノードN6との間に接続されゲートがノードN4に接続されるPチャネルMOSトランジスタ644とを含む。ノードN6からは出力信号OUTが出力され、ノードN4からは出力信号/OUTが出力される。

【0168】選択回路620は、さらに、接地ノードとノードN6との間に接続されゲートにリフレッシュ時のコマンド信号Ref-CMDを受けるNチャネルMOSトランジスタ652と、ノードN4とNチャネルMOSトランジスタ652のゲートとの間に接続されゲートにセルフリフレッシュ信号SRを受けるNチャネルMOSトランジスタ650を含む。NチャネルMOSトランジスタ650および652は、セルフリフレッシュモードにおいてのみ動作するため、通常動作時よりもスピードは要求されないののでしきい値電圧が高くリーク電流が少ないNチャネルMOSトランジスタを使用する。このような構成にすることによってセルフリフレッシュ時におけるリーク電流を減らすことができ、チップの低消費電力化を一層進めることができる。

【0169】次に、複数の電源電位の回路間において信号のレベルを変換して伝達する構成について説明する。

【0170】図24は、1.5Vから3.3Vにレベル変換を行なう第1のレベル変換回路660の構成を示した回路図である。

【0171】図24を参照して、レベル変換回路660は、モード信号を受けて反転するインバータ666と、インバータ666の出力に応じて導通して通常時に与えられる信号SigをノードN10に伝達するトランSMISSIONゲート662と、モード信号Modeによって活性化されリフレッシュ時の信号Refを受けて反転す

るクロックドインバータ668と、ノードN10が入力に接続されるインバータ670と、3.3Vの電源電位が与えられるノードと接地ノードとの間に直列に接続されるPチャネルMOSトランジスタ672、NチャネルMOSトランジスタ676と、3.3Vの電源電位が与えられるノードと接地ノードとの間に直列に接続されるPチャネルMOSトランジスタ674、NチャネルMOSトランジスタ678とを含む。NチャネルMOSトランジスタ676のゲートはノードN10に接続される。NチャネルMOSトランジスタ678のゲートはインバータ670の出力を受ける。PチャネルMOSトランジスタ672の出力はPチャネルMOSトランジスタ674とNチャネルMOSトランジスタ678の接続ノードに接続されている。またPチャネルMOSトランジスタ674のゲートはPチャネルMOSトランジスタ672とNチャネルMOSトランジスタ676の接続ノードに接続されている。PチャネルMOSトランジスタ674とNチャネルMOSトランジスタ678の接続ノードから出力信号Soutが出力される。

【0172】レベル変換回路660においては、トランジスタ672～678はしきい値電圧の高いMOSトランジスタが使用される。したがって、この部分においてはリフレッシュモードにおけるリーク電流は小さく設定されている。他のトランジスタおよびインバータはしきい値電圧が低いMOSトランジスタが使用される。このような構成が一番トランジスタ数が少なくレベル変換を実現することができる。

【0173】図25は、レベル変換を行なう第2の回路例であるレベル変換回路680の構成を示す回路図である。

【0174】図25を参照して、レベル変換回路680は、信号Sigを受けて反転するインバータ686と、モード信号Modeを受けて反転するインバータ692と、モード信号Modeに応じて活性化し信号Refを受ける直列に接続されたクロックドインバータ694、696を含む。クロックドインバータ694の出力はノードN12に接続され、クロックドインバータ696の出力はノードN13に接続される。

【0175】レベル変換回路680は、さらに、モード信号ModeがLレベルのときに導通して信号SigをノードN12に伝達するトランスミッションゲート682と、モード信号ModeがLレベルのときに導通してインバータ686の出力をノードN13に伝達するトランスミッションゲート688とを含む。

【0176】レベル変換回路680は、さらに、ノードN14と接地ノードとの間に接続されゲートがノードN12に接続されるNチャネルMOSトランジスタ702と、ノードN15と接地ノードとの間に接続されゲートがノードN13に接続されるNチャネルMOSトランジスタ704と、3.3Vが与えられる電源ノードとノードN14との間に接続されゲートがノードN15に接続されるPチャネルMOSトランジスタ698と、3.3Vの電源電位が与えられるノードとノードN15との間に接続されゲートがノードN14に接続されるPチャネルMOSトランジスタ700とを含む。

【0177】レベル変換回路680の構成においては、トランスミッションゲートおよび信号Ref側の入力系をすべて3.3V制御のしきい値電圧のトランジスタによって構成している。したがって、図24に示したレベル変換回路660に比べてトランジスタ数が多くなりかつ速度が少し遅くなるが、トランスミッションゲート682、688のゲート電位は3.3Vで制御されるため、1.5Vの振幅で信号を与える必要がなく1.5Vの電源電位で動作する回路系の電源をすべて切ることができる。

【0178】図26は、レベル変換をする回路の第3の例であるレベル変換回路710の構成を示した回路図である。

【0179】図26を参照して、レベル変換回路710は、信号Sigを受けて反転するインバータ722と、ノードN23と接地ノードとの間に接続されゲートにモード信号Modeを受けるNチャネルMOSトランジスタ720と、ノードN20とノードN23との間に接続されゲートに信号Sigを受けるNチャネルMOSトランジスタ716と、ノードN21とノードN23との間に接続されゲートにインバータ722の出力を受けるNチャネルMOSトランジスタ718と、ノードN20と3.3Vが与えられる電源ノードとの間に接続されゲートがノードN21に接続されるPチャネルMOSトランジスタ712と、3.3Vが与えられる電源ノードとノードN21との間に接続されゲートがノードN20に接続されるPチャネルMOSトランジスタ714とを含む。

【0180】レベル変換回路710は、さらに、モード信号Modeを受けて反転するインバータ728と、モード信号Modeに応じて活性化して信号Refを受けて反転するクロックドインバータ730と、ノードN21とノードN24とをモード信号およびインバータ728の出力に応じて結合するトランスミッションゲート724とを含む。

【0181】レベル変換回路710は、インバータ722以外の構成要素はすべてしきい値電圧の高いトランジスタで構成されている。図25で示したレベル変換回路680との違いは、1.5Vの振幅で与えられる信号Sigをレベル変換した後にリフレッシュ時に与えられる信号Refとマルチプレクスする構成になっている点である。

【0182】レベル変換回路710は、レベル変換回路680に比べてトランジスタ数を少なくして構成することができる。

10

20

30

40

50

【0183】次に、コラム選択線の制御に関する構成を説明する。コラム選択線は1.5V系の電源をオフ状態にすると、フローティングになってしまうため、その電位を固定する必要がある。

【0184】図27は、コラム選択線固定回路730の構成を示す回路図である。図27を参照して、コラム選択線固定回路730は、ライトイネーブル信号WEおよびアドレス信号Yaddを受けるNAND回路732と、セルフリフレッシュモード時にHレベルとなる信号Selfを受けて反転するインバータ736と、NAND回路732およびインバータ736の出力を受けるNAND回路734と、NAND回路734の出力を受けて反転してライト用コラム選択線CSLWLに出力が接続されているインバータ738と、NAND回路734の出力を受けてその出力がライト用コラム選択線CSLWRに接続されているインバータ740とを含む。

【0185】コラム選択線固定回路730は、すべて、しきい値電圧が低い1.5Vで動作するトランジスタで構成されている。セルフリフレッシュ時には信号SelfがHレベルとなるため、NAND回路734の出力はHレベルに固定され、応じてライト用コラム選択線CSLWL、CSLWRはともにLレベルに固定される。

【0186】図28は、コラム選択線を固定する第2の構成例であるコラム選択線固定回路740の構成を示す回路図である。

【0187】図28を参照して、コラム選択線固定回路740は、ライトイネーブル信号WEおよびアドレス信号Yaddを受けるNAND回路742と、NAND回路742の出力を1.5Vの振幅から2.5Vまたは3.3Vの振幅に変換するレベルシフタ744と、信号Selfを受けて反転するインバータ746と、インバータ746および信号Selfに応じて導通しレベルシフタ744の出力をノードN30に伝達するトランSMIッションゲート748と、インバータ746の出力をゲートに受けノードN30を2.5Vあるいは3.3Vの電源電位と結合するためのPチャネルMOSトランジスタ752と、ノードN30に inputs が接続されその出力がライト用コラム選択線CSLWLに接続されているインバータ754と、ノードN30に inputs が接続され出力がコラム選択線CSLWRに接続されるインバータ756とを含む。

【0188】コラム選択線固定回路740は、コラム選択線が2.5Vもしくは3.3Vで動作する場合に用いられる。トランSMIッションゲートはしきい値電圧が高いトランジスタが用いられ、2.5V/3.3Vのプリチャージ動作はしきい値電圧が高いPチャネルMOSトランジスタ752によって行なわれる。セルフリフレッシュモード時には、信号SelfはHレベルに活性化され、応じてPチャネルMOSトランジスタ752が導通しまたトランSMIッションゲート748は非導通状態と

なるため、ノードN30は、Hレベルに固定され、応じてライト用コラム選択線CSLWL、CSLWRはともにHレベルに固定される。このような構成においては、電源がオフ状態となっているNAND回路742およびレベルシフタ744がノードN30とトランSMIッションゲート748によって分離されるため、コラム選択線のノイズを減少させることができる。

【0189】図29は、コラム選択性を固定するための第3の構成例であるコラム選択線固定回路757の構成を示した回路図である。

【0190】図29を参照して、コラム選択線固定回路757は、ライトイネーブル信号WEおよびアドレス信号Yaddを受けるNAND回路758と、NAND回路758の出力を受けて反転するインバータ760と、インバータ760の出力を受けて反転するインバータ762と、インバータ760の出力を受けて反転するインバータ768と、セルフリフレッシュ時にHレベルとなる信号Selfを受けて反転するインバータ770と、インバータ770および信号Selfに応じて導通してインバータ762の出力をライト用コラム選択線CSLWLに伝達するトランSMIッションゲート764と、インバータ770の出力および信号Selfに応じて導通してインバータ768の出力をライト用コラム選択線CSLWRに伝達するトランSMIッションゲート772と、信号Selfをゲートに受けセルフリフレッシュモードにおいてライト用コラム選択線CSLWL、CSLWRをそれぞれ接地電位に固定するためのNチャネルMOSトランジスタ766、778とを含む。

【0191】コラム選択線固定回路757は、図28に示したコラム選択線固定回路740の構成と比べて、コラム選択線を駆動するドライバ回路すなわちインバータ754、756の微小な貫通電流すなわちリーク電流をさらに減らすことができる。すなわち、ドライバ回路であるインバータ762、768の電源はオフ状態にすることができ、トランSMIッションゲート764および772によってインバータ762、768の出力とコラム選択線CSLWL、CSLWRは分離される。したがって、コラム選択線をLレベルに固定するにあたりドライバ回路のリーク電流がなくなる。

【0192】以上のようにリーク電流を削減するための種々の構成を採用しているため、システムLSIにおけるDRAM部の周辺回路の電源をオフ状態にすることができかつ電源がオン状態にある回路においてもリーク電流を低減させることができる。

【0193】〔実施の形態3〕図30は、実施の形態3の半導体装置800の構成を示すブロック図である。

【0194】図30を参照して、半導体装置800は、外部とデータを授受し種々の演算処理等を行なうロジック部802と、ロジック部802からコマンド信号やアドレス信号を受けロジック部802とデータの授受を行

なうDRAM部804とを含む。DRAM部804は、ロジック部から信号NPDSRを受けてパワーダウンモード信号PDSRを出力するとともに各種リセット制御を行なうクロック／リセット制御回路806と、ロジック部802からコマンド信号およびアドレス信号を受ける周辺回路812と、周辺回路812から内部コマンド信号や内部アドレス信号等を受けてロウ系の処理を行なう周辺回路814と、周辺回路814に対してセルフリフレッシュモード時にクロック信号CLKSを出力するセルフリフレッシュ制御回路808と、外部から与えられる3.3Vの電源電位VDDHおよび1.5Vの電源電位VDDを受けて周辺回路やメモリアレイに1.5Vの電源電位VDD3および2.0Vの電源電位VDD2を出力するDRAM電源回路810と、周辺回路814および812によってデータの読出制御がされるメモリアレイ860とを含む。

【0195】周辺回路812は、ロジック部からコマンド信号CMDを1.5Vの振幅で受けるコマンドデコーダ822と、ロジック部802からロウアドレス信号RAD[14:0]を1.5Vの振幅で受けるアドレスバッファ824と、ロジック部802からコラムアドレス信号CAD[7:0]を1.5Vの振幅で受けるアドレスバッファ826と、アドレスバッファ826の出力をプリデコードするコラムプリデコーダ828と、ロジック部802から出力される1.5Vの振幅のクロック信号CLKを受けてDRAM部804の回路に供給するクロックバッファ834とを含む。

【0196】周辺回路812は、さらに、メモリアレイ860からデータを読出またはメモリアレイ860に対してデータを書込むためのプリアンプ／ライトドライバ858と、プリアンプ／ライトドライバ858とデータを授受しコラムデコーダ828の出力に応じて選択的にデータ入出力バッファとを接続するI/Oセクタ830とを含む。データ入出力バッファ832は、ロジック部802との間で1.5Vの振幅でデータ入力信号DIおよびデータ出力信号DOをやり取りする。

【0197】周辺回路814は、コマンドデコーダ822からセルフリフレッシュコマンドREFSを受け、クロック／リセット制御回路806からパワーダウンセルフリフレッシュ信号PDSRを受け、いずれかに応じて信号REFSDを活性化する選択回路833と、信号REFSDおよびコマンドデコーダ822から出力されるリフレッシュコマンドREFAおよびロウアクティブコマンドACTを受けてロウ系活性化信号NACTを出力するACT発生回路838と、信号NACTをリセット信号NRSTRに応じてリセットされた後にクロック信号CLKRに同期して受けてラッチするフリップフロップ840と、フリップフロップ840の出力に応じてワード線およびセンスアンプを活性化するタイミング信号を出力するタイミング発生回路844とを含む。

【0198】周辺回路814は、さらに、リフレッシュコマンドREFAおよび信号REFSDとロウ系活性化信号NACTに応じてリフレッシュアドレスを出力するアドレスカウンタ835と、リフレッシュ信号REFAや信号REFSDに応じて、リフレッシュ時にはアドレスカウンタ835の出力をアドレス信号として内部に伝達し、通常動作時にはアドレスバッファ824の出力を内部に伝達する選択回路836と、冗長置換アドレスが設定されているロウ系ヒューズ848と、冗長置換アドレスと選択回路836から与えられるアドレスとを比較して冗長置換の判定を行なう冗長判定回路846と、冗長判定回路846の出力をプリデコードするロウプリデコーダ850と、リセット信号NRSTRによってリセットされた後ロウプリデコーダ850の出力をクロック信号CLKRに同期して取込みロウデコーダ854に与えるフリップフロップ852とを含む。

【0199】周辺回路814は、さらに、メモリアレイ860のメモリセルを選択するためにロウ系のデコード処理を行なうロウデコーダ854と、コラムプリデコーダ828の出力を受けて列系の選択動作を行なうコラムデコーダ856とを含む。コラムデコーダ856は、パワーダウンモード時には、信号PDSRによってリード用およびライト用選択線CSLR/Wは電位が固定されるように構成されている。

【0200】リフレッシュ制御回路808は、信号REFSDを受けてレベルシフトするレベルシフト回路818と、レベルシフト回路818の出力に応じて活性化し、内部に含まれるリングオシレータによってクロック信号を発生してそれを基準としてセルフリフレッシュの基準クロックを出力するセルフタイマ816と、セルフタイマ816の出力を受けて低レベル振幅に変換するダウンコンバータ820とを含む。ダウンコンバータ820の出力はクロック信号CLKSとしてロウ系活性化パルスを出力するACT発生回路838に与えられる。

【0201】次に、半導体装置800に与えられる電源について説明を行なう。VDDHは外部から与えられる3.3Vの電源電位である。また、電源電位VDDは外部から与えられる1.5Vの電源電位である。ロジック部は電源電位VDDHおよび電源電位VDDを受けて内部動作を行なっている。また、クロックリセット制御回路および周辺回路814は、DRAM電源回路810が出力する1.5Vの電源電位VDD3を動作電源電位として受ける。

【0202】周辺回路812は、電源電位VDDをその動作電源電位として受ける。図31は、図30におけるDRAM電源回路810の構成を示す回路図である。

【0203】図31を参照して、DRAM電源回路810は、パワーダウンセルフリフレッシュ信号を3.3V系にレベルシフトを行なうレベルシフタ862と、3.3V系の電源によって駆動されレベルシフタ862の出

力をバッファリングするバッファ回路864と、レベルシフタ862の出力を2Vに電圧変換するダウコンバータ866と、3.3Vの電源電位VDDHを受けて2.0Vの電源電位VDD2を出力する電圧降下回路868と、通常動作モードにおいて導通し外部から与えられる1.5Vの電源電位VDDを出力ノードNVOに伝達するNチャネルMOSトランジスタ872と、パワーダウンモードにおいて導通し電圧降下回路868の出力を出力ノードNVOに伝達するNチャネルMOSトランジスタ870を含む。出力ノードNVOからは、このDRAM電源回路810の出力である電源電位VDD3が出力される。電圧降下回路868の出力である電源電位VDD2はメモリアレイに供給される。

【0204】また、NチャネルMOSトランジスタ870のゲート電位は、パワーダウンモードにおいて2Vに設定されるため、NチャネルMOSトランジスタ870によっておおよそしきい値電圧分の電圧効果が生じ、パワーダウンモードにおいて電源電位VDD3はおおよそ1.5Vに設定される。

【0205】また、パワーダウンモードが不要な場合には、外部電源電位VDDが与えられるノードと出力ノードNVOとを結合させることができるようにスイッチ874が設けられる。このスイッチ874は、半導体装置の製造工程においてメタルマスクを変更することにより選択的に導通状態にすることができる。

【0206】図32は、図30におけるクロック／リセット制御回路806の構成を示す回路図である。

【0207】図32を参照して、クロック／リセット制御回路806は、ロジック部よりリセット信号NRESETを受けて内部にリセット信号NRSTを供給するバッファ回路898と、ロジック部より信号NPDSRを受けるバッファ回路900と、信号NRESETおよびバッファ回路900の出力を受けて信号NRSTRを出力するOR回路902とを含む。

【0208】クロック／リセット制御回路806は、さらに、ロジック部より信号NPDSRを受けてその立下がりに応じてロウアクティブなパルス信号を発生するパルス発生回路882と、リセット信号NRESETによってリセットされた後にコマンドデコードよりリフレッシュコマンド信号REFAを受けてカウントアップし8回の入力があったときに出力を変化させるカウンタ886と、カウンタ886の出力およびバッファ900の出力を受けて信号NRSTSを出力するOR回路904と、カウンタ886の出力に応じてLアクティブのパルスを発生させるパルス発生回路888と、パルス発生回路888の出力によってセットされリセット信号NRESETによってリセットされるラッチ回路890とを含む。

【0209】クロック／リセット制御回路806は、さらに、ラッチ回路890の/Q出力信号である信号LA

Tを受けてその立下がりに応じてロウアクティブなパルス信号を発生するパルス発生回路883と、パルス発生回路882の出力に応じてセットされパルス発生回路883の出力に応じてリセットされるラッチ回路884とを含む。ラッチ回路884のQ出力からはパワーダウンセルフリフレッシュ信号PDSRが出力される。

【0210】クロック／リセット制御回路806は、さらに、ロジック部から与えられる1.5Vの振幅を有するクロック信号CLKおよび図30のセルフタイマ816によって発生されるクロック信号CLKSを受けて信号REFSDによっていずれかを選択してクロック信号CLKRとして出力するセクタ896を含む。

【0211】図33は、図30に示した半導体装置のDRAM部のパワーダウンモードを説明するための動作波形図である。

【0212】図30、図33を参照して、時刻t1において半導体装置800に電源が投入されるとDRAM部にはロジック部802からリセット信号NRESETが与えられ引き続きリフレッシュコマンドREFAが数回与えられるパワーオンシーケンスが実行される。時刻t2においてパワーオンシーケンスが終了すると通常の動作が可能となる。

【0213】時刻t3においてパワーダウンモードに移行する前には時刻t3においてオートリフレッシュコマンドがロジック部からDRAM部に与えられ全メモリ空間のリフレッシュが行なわれる。続いて時刻t4においてロジック部は信号NPDSRをLレベルにしDRAM部にセルフリフレッシュ動作を開始させる。時刻t4以降は、DRAM部はパワーダウンモードになっている。

【0214】そして、時刻t5においてロジック部に与えられる電源電位LVDDHおよび1.5Vの電源電位VCC1.5はオフ状態にされパワーダウンモードになる。すなわち、セルフリフレッシュのために供給される電源電位は3.3Vの電源電位DVDDHのみである。時刻t6においてパワーダウンモードから動作モードに復帰するときには1.5Vの電源電位VCC1.5を投入し続いて安定したクロック信号を供給する。

【0215】時刻t7においておおよそ200μ秒の間リセット信号NRESETをLレベルに固定した後、リセット信号NRESETをHレベルにしてリセット解除しリフレッシュコマンドREFAを8回入力して内部回路の初期化を行なう。その後セルフリフレッシュから抜けるセルフリフレッシュイグジットコマンドSREXを入力しそして信号NPDSRをLレベルからHレベルに立上げるとSREXで示される時間の後にロジック部はオートリフレッシュコマンドをDRAM部に与え、DRAM部は全メモリ空間をリフレッシュする。そして、最後のリフレッシュコマンドREFAが発行された後に最小リードサイクル時間tRC+1クロックが経過すると全バンク非活性化状態になりコマンド入力可能状態とな

る。

【0216】図34は、図33におけるパワーダウンモードから動作モードに復帰する際の動作を説明するための波形図である。

【0217】図32、図34を参照して、時刻 t_4 において信号NPDSRがLレベルに立下がると、パルス発生回路882がLアクティブのパルス信号FSを発生する。応じてラッチ回路884はセットされるため信号PDSRはHレベルに設定される。

【0218】次に時刻 t_7 において、パワーダウン解除後のリセット信号NRESETが入力されるとラッチ回路890はリセットされる。そして、リフレッシュコマンドREFAが8回入力されると、時刻 t_8 において、カウンタ886の出力はパルス信号を発生しラッチ回路890をセットする。すると、ラッチ回路890の/Q出力である信号LATがHレベルからLレベルに立下り、パルス発生回路883の出力に応じてラッチ回路884はリセットされる。したがって、信号PDSRはLレベルになり、その後通常動作が可能な状態となる。

【0219】なお、このパワーダウンモードからの復帰シーケンスは、通常の電源投入シーケンスと同じであり、リセット信号NRESETによるリセット後に、リフレッシュコマンドREFAを8回入力することにより、モードレジスタ等に設定された特別なモードをすべてリセットするように行なわれる。

【0220】その後、時刻 t_9 において信号NPDSRはHレベルに立上るが、信号NPDSRは、パワーダウンモードに移行する際に使用され、通常モードへの復帰後にいつHレベルに立上っても動作に寄与しない。

【0221】以上説明したように、実施の形態3の半導体装置においてもパワーダウンモードにおいて待機時の消費電流が低減され、復帰後は所定の入力を行なうことによって通常の高速動作が可能となる。

【0222】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0223】

【発明の効果】請求項1に記載の半導体装置は、第1の周辺回路の動作をパワーダウンモードにおいて停止させるため、消費電流の低減を図ることができる。

【0224】請求項2～4に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、必要な領域のみリフレッシュを行なうためさらに消費電流の低減を図ることができる。

【0225】請求項5～7に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、通常時の周辺回路の動作電源電位となる外部電源電位をパワー

ダウンモードにて供給停止しても、リフレッシュに必要な回路に与える電源電位を別経路で供給することができる。

【0226】請求項8～10に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、通常時の周辺回路の動作電源電位となる外部電源電位をパワーダウンモードにて供給停止しても、リフレッシュに必要な回路に与える電源電位が供給され、パワーダウンモードにてリフレッシュ動作を消費電流を抑えて行なうことができる。

【0227】請求項11～12に記載の半導体装置は、請求項8に記載の半導体装置の奏する効果に加えて、パワーダウンモードにおけるノイズがメモリアレイにあたえる影響を少なくすることができる。

【0228】請求項13～16に記載の半導体装置は、請求項8に記載の半導体装置の奏する効果に加えて、通常時にうける信号とリフレッシュ時にうける信号を選択的にメモリアレイに伝達することができる。

【0229】請求項17に記載の半導体装置は、請求項8に記載の半導体装置の奏する効果に加えて、パワーダウンモードから通常モードへの復帰をメモリアレイの動作が安定した後に行なうことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体装置1の構成を示す概略ブロック図である。

【図2】 図1に示したリフレッシュ制御部132の構成を示すブロック図である。

【図3】 階層電源構成を説明するための回路図である。

【図4】 図3に示した階層電源構成を有する回路の動作について説明するための波形図である。

【図5】 図2におけるアドレスカウンタ312の第1の例を示したブロック図である。

【図6】 図5に示したアドレスカウンタ312の動作を説明するための動作波形図である。

【図7】 アドレスカウンタ312の変形例であるアドレスカウンタ312aの構成を示したブロック図である。

【図8】 図7に示したアドレスカウンタ312aの動作を説明するための動作波形図である。

【図9】 実施の形態2の半導体装置に対して外部から電源供給を行なう説明をするための概念図である。

【図10】 図9に示されたDRAM部において内部回路に電源電位を供給する構成を示した概念図である。

【図11】 図10に示した周辺回路PKT1、PKT2のグループ分けの第1の例を説明するための概念図である。

【図12】 周辺回路のグループ分けの第2の例を説明するための図である。

【図13】 周辺回路のグループ分けの第3の例を説明

するための図である。

【図14】 メモリアレイの構成を説明するための概略図である。

【図15】 書込に使用するI/O線における電源を立
下げる境界部分の構成を説明するための図である。

【図16】 図15におけるフリップフロップ1172aの構成を示す回路図である。

【図17】 図14で説明したリードアンプ1154の前後において電源が供給される説明をするための図である。

【図18】 図17に示したリードアンプ1154およびバイコライズ回路528の構成を示した回路図である。

【図19】 リフレッシュ制御系の低消費電力化を図るために一部のブロックにしきい値の高いトランジスタを使用する説明をするためのブロック図である。

【図20】 通常動作時のアドレスとセルフリフレッシュ時のアドレスとをマルチプレクスするための回路構成を示す回路図である。

【図21】 アドレスをマルチプレクスする第2の構成を示した回路図である。

【図 2 2】 レベル変換回路の構成を示した回路図である。

【図 23】 図 21 における選択回路 620 の構成を示した回路図である。

【図24】 1. 5Vから3.3Vにレベル変換を行なう第1のレベル変換回路660の構成を示した回路図である。

【図25】 レベル変換を行なう第2の回路例であるレベル変換回路680の構成を示す回路図である。

【図26】 レベル変換をする回路の第3の例であるレベル変換回路710の構成を示した回路図である。

【図 27】 コラム選択線固定回路 730 の構成を示す回路図である。

【図 28】 コラム選択線を固定する第 2 の構成例であるコラム選択線固定回路 740 の構成を示す回路図である。

【図 29】 コラム選択性を固定するための第3の構成例であるコラム選択線固定回路757の構成を示した回路図である。

【図30】 実施の形態3の半導体装置800の構成を

示すブロック図である。

【図31】 図30におけるDRAM電源回路810の構成を示す回路図である。

【図32】 図30におけるクロック／リセット制御回路806の構成を示す回路図である。

【図 33】 図 30 に示した半導体装置の D R A M 部の
 パワーダウンモードを説明するための動作波形図であ
 る。

【図34】 図33におけるパワーダウンモードから動作モードに復帰する際の動作を説明するための波形図である。

【図 35】 従来の半導体記憶装置 1000 の構成を示す概略ブロック図である。

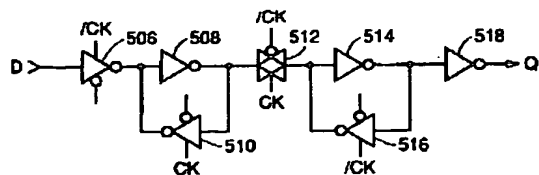
【図36】 従来のシステムLSIに外部から供給される電源電位について説明をするための概念図である。

【図37】 図36に示したDRAM部MEMの周辺回路に供給される電源電位を説明するための概念図である。

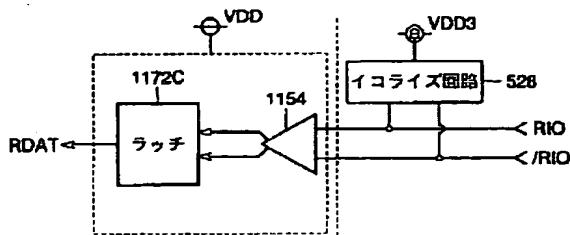
【符号の説明】

20 1 半導体装置、2 ロジック部、3 DRAM部、4 DRAM部、5
00a メモリアレイブロック、118 内部制御クロ
ック信号生成回路、120 モードデコーダ、122
モードレジスタ、124 ロウアドレスラッチ、126
コラムアドレスラッチ、128 バンクアドレスラッ
チ、130 データ入出力回路、132リフレッシュ制
御部、134 バーストアドレスカウンタ、136 バ
ンクデコーダ、138 VDC回路、140 ロウブリ
デコーダ、142 コラムブリデコーダ、144 マル
チプレクサ、242 コラムブリデコーダ、244 ロ
ウデコーダ、266 ポート、302 タイマ、306
サイクリックタイマ、308 クロック発生回路、3
10 制御用遅延回路、312 アドレスカウンタ、3
32、334 ラッチ回路、336 カウンタ、33
8、340、354比較回路、344 バッファ回路、
352 アドレス検出回路、ARY1、ARY2 メモ
リアレイ、CH 半導体装置、L1~L4 電源線、L
G ロジック部、MEM DRAM部、PCKT、PC
KT1、PCKT2 周辺回路、PG 外部ピン端子
群、SE1、SE2 電源選択回路、SW1、SW2
40 スイッチ、T1~T3、T50~T53 端子。

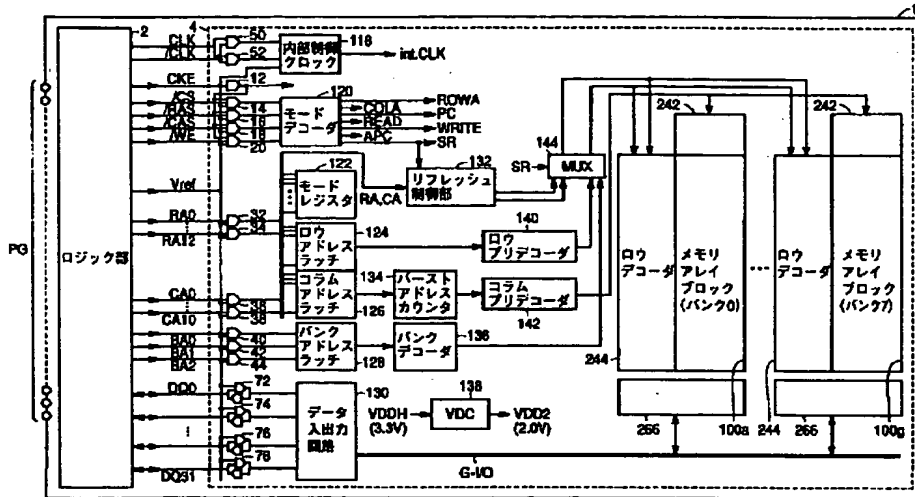
【例 16】



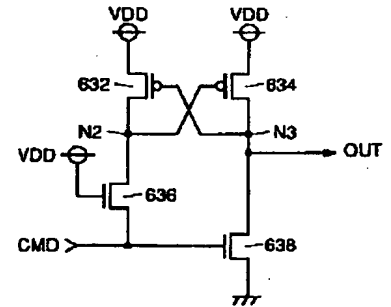
【图 17】



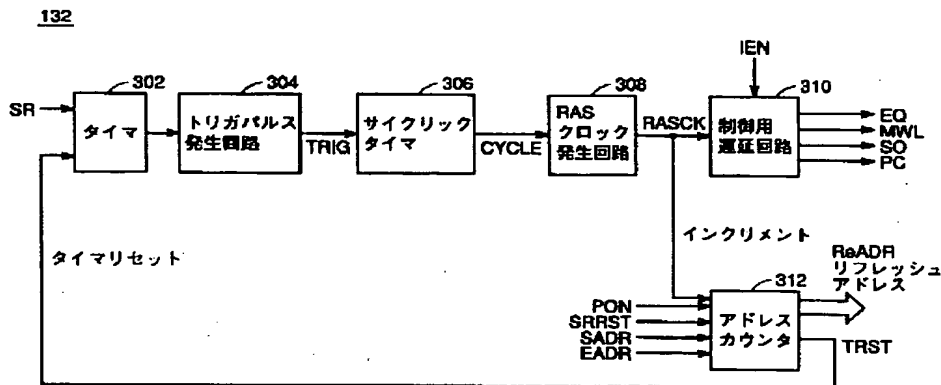
【図 1】



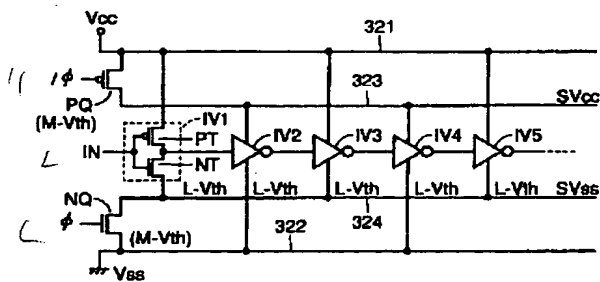
【図 2】



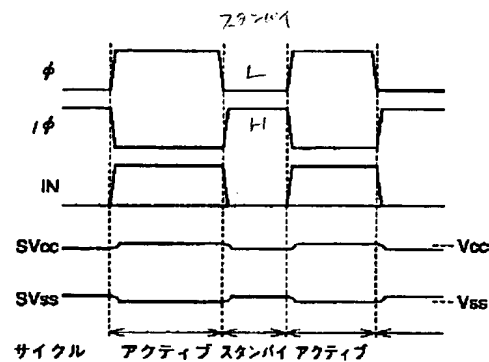
【図 2】



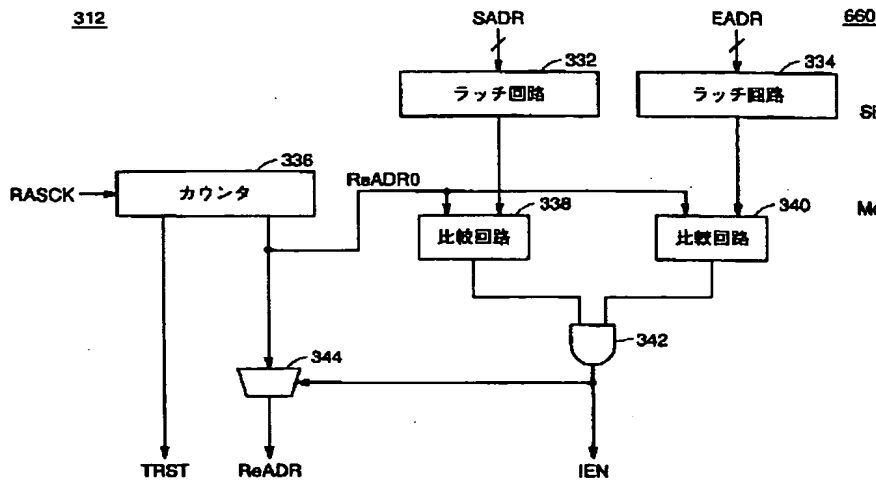
【図 3】



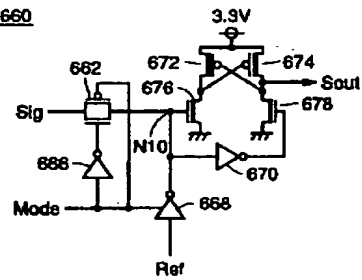
【図 4】



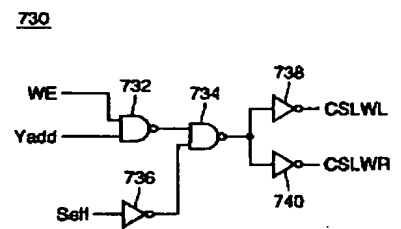
【図 5】



【図 24】

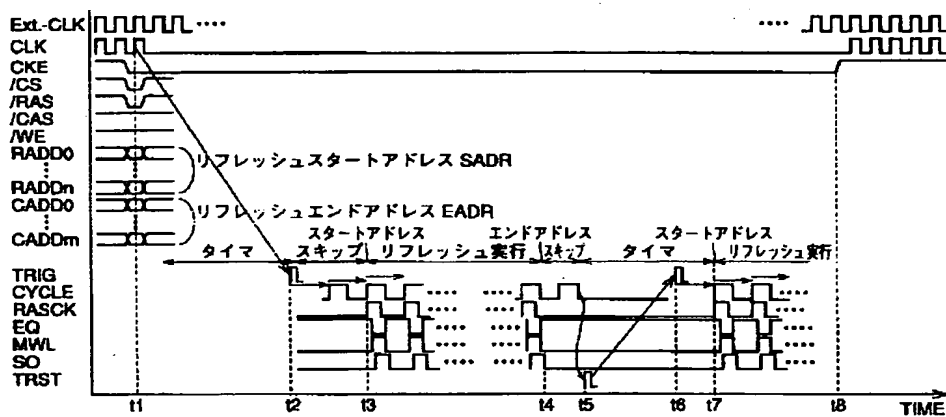


【図 27】

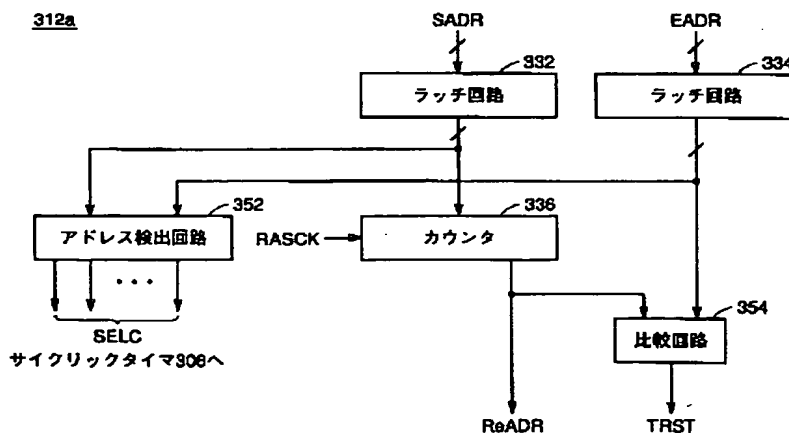


all 1.5V Tr

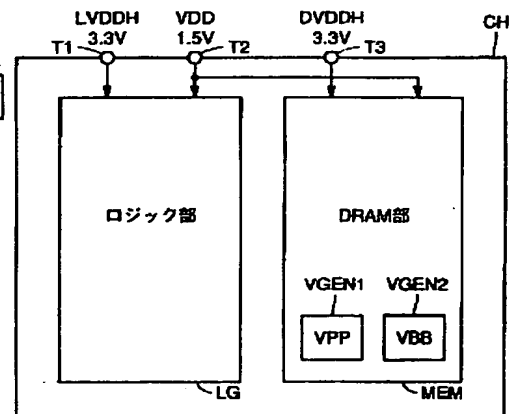
【図 6】



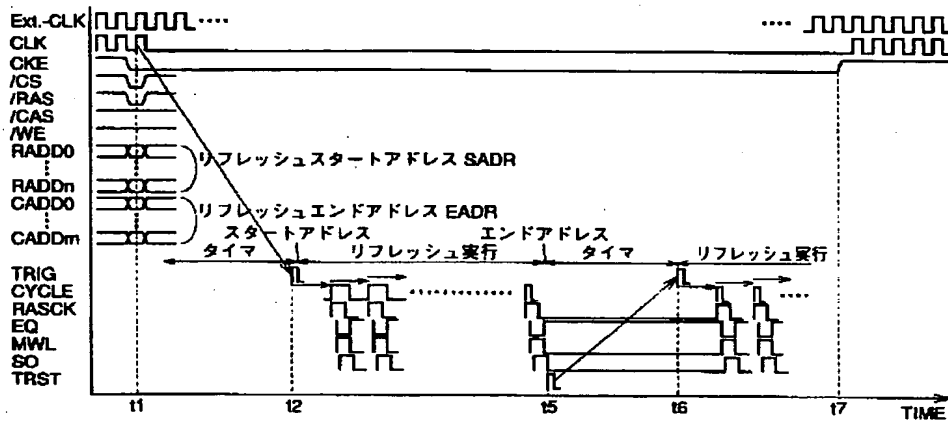
【図 7】



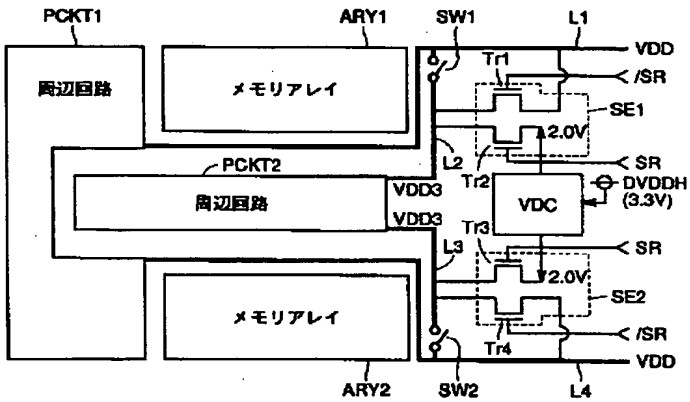
【図 9】



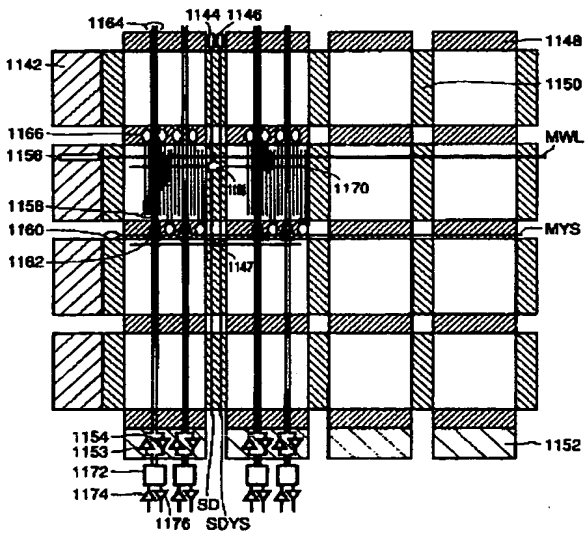
【図 8】



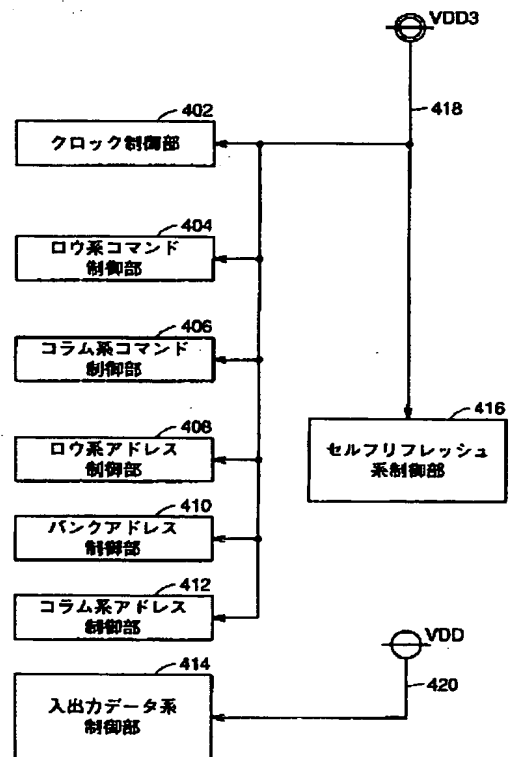
【図 10】



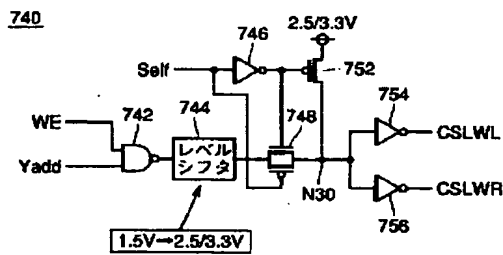
【图 14】



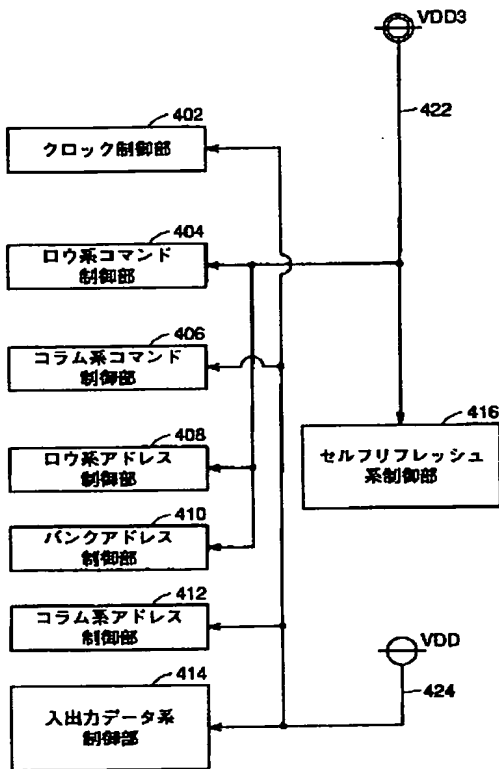
【图 1 1】



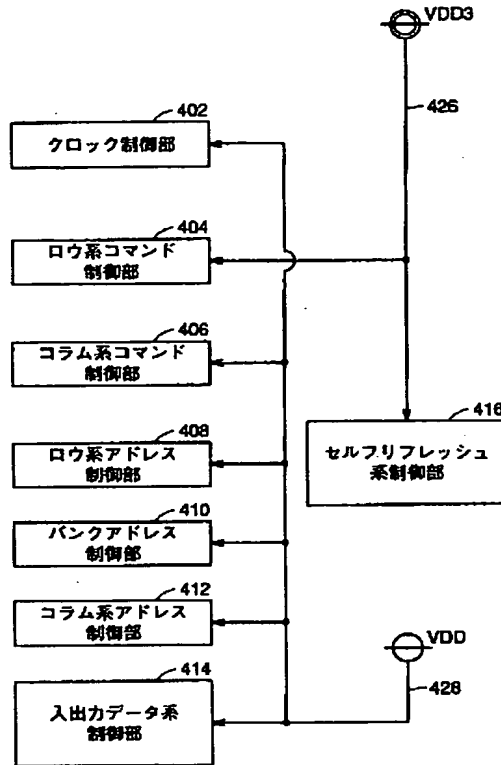
【图 28】



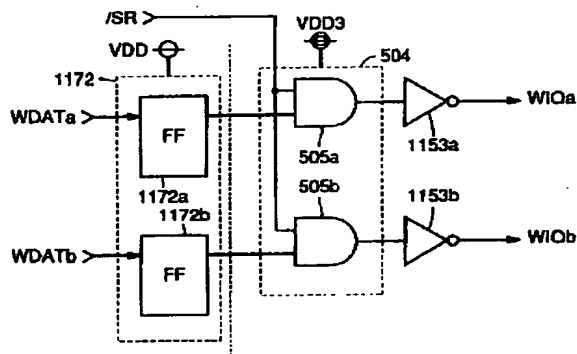
【図12】



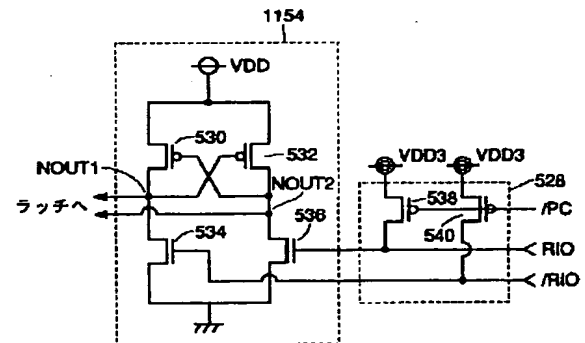
【図13】



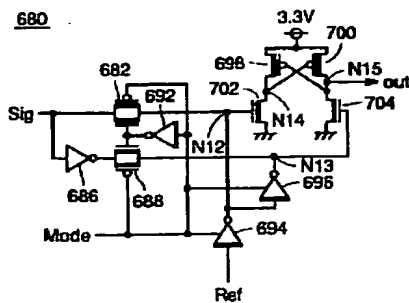
【図15】



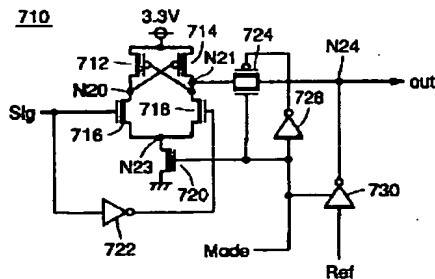
【図18】



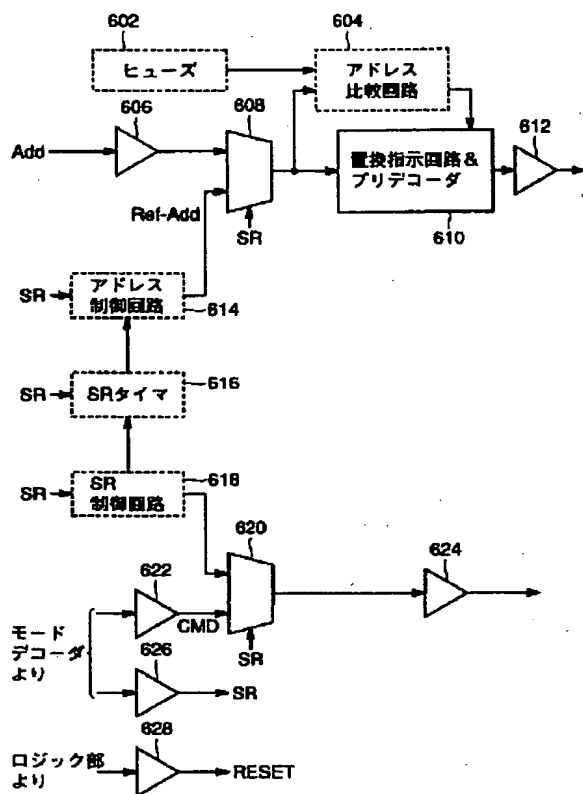
【図25】



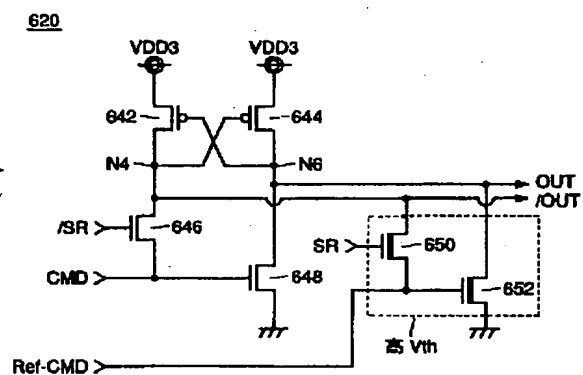
【図26】



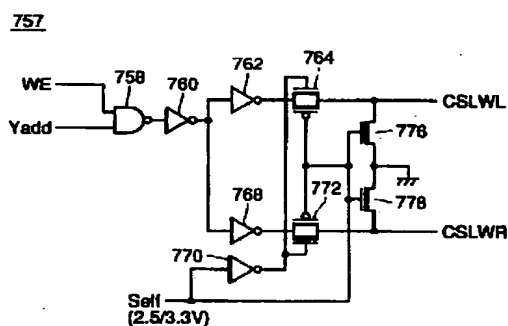
【☒ 19】



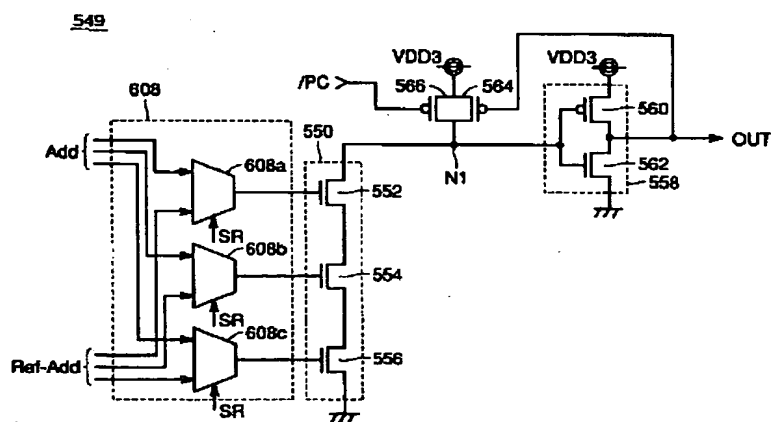
【图 23】



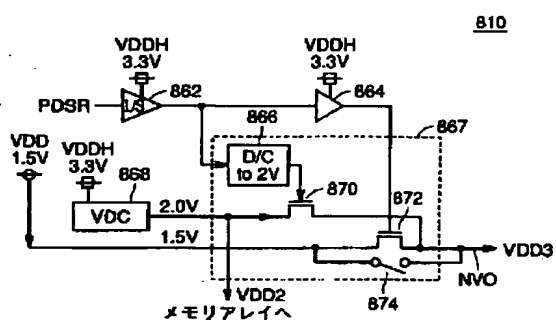
【図 29】



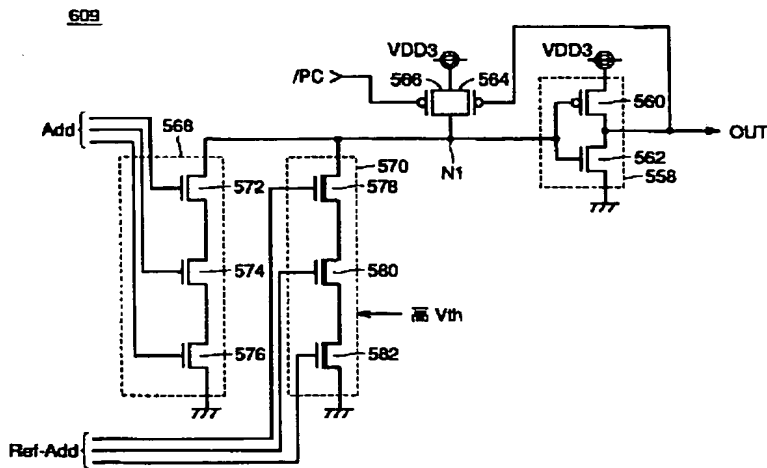
【☒ 20】



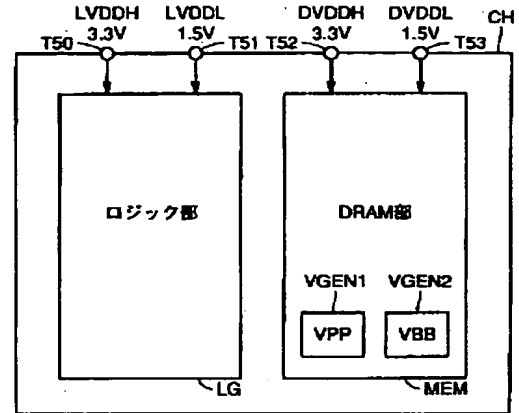
【図 3 1】



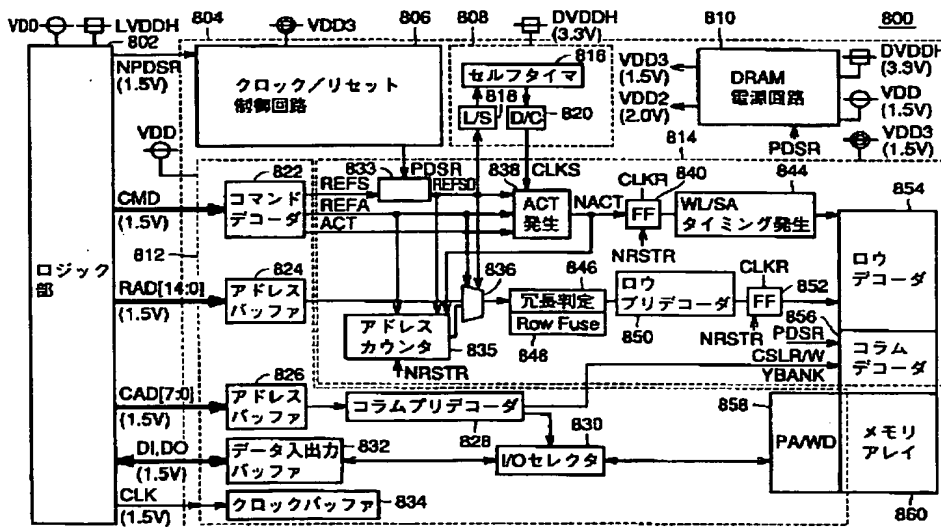
【図21】



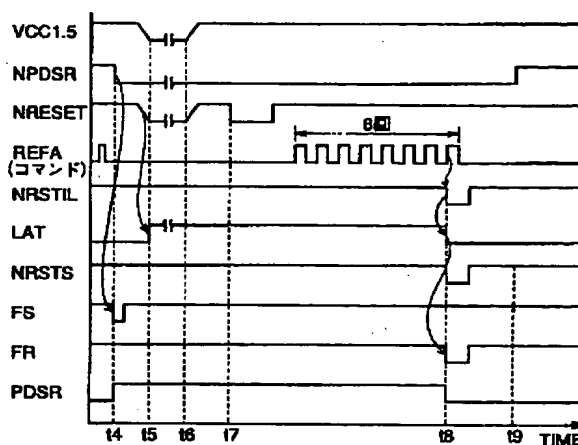
【図36】



【図30】



【図 3 4】



【图 3 3】

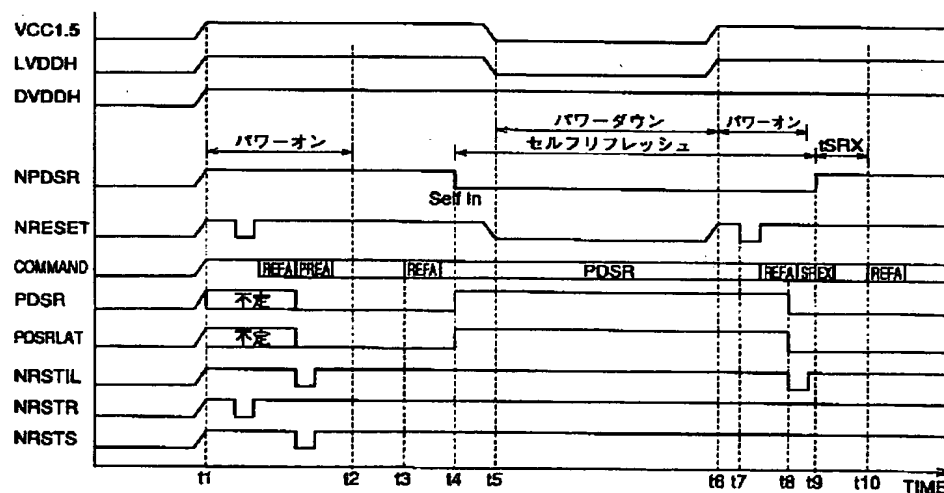


Figure 1 is a block diagram of a memory system. At the top, a terminal labeled "DQDDL" is connected to a vertical line labeled "1418". This line branches into two horizontal lines. The upper horizontal line connects to a vertical bus labeled "1402". This bus then branches to seven control blocks: "クロック制御部" (Clock Control), "ロウ系コマンド制御部" (Row Command Control), "コラム系コマンド制御部" (Column Command Control), "ロウ系アドレス制御部" (Row Address Control), "バンクアドレス制御部" (Bank Address Control), "コラム系アドレス制御部" (Column Address Control), and "入出力データ系制御部" (Input/Output Data Control). The lower horizontal line connects directly to the left side of the "セルフリフレッシュ系制御部" (Cell Self-Refresh Control) block.

フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テーマコード (参考)

363

K

(72)発明者 石川 正敏

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 加藤 宏

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5B024 AA01 BA13 BA15 BA18 BA20

BA21 BA23 BA29 CA07 CA15

CA16 DA01 DA08 DA10 DA18

DA20

5J056 AA00 AA03 BB01 BB17 CC03

CC09 CC14 CC17 DD13 DD29

FF01 FF08